

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-318659
 (43)Date of publication of application : 16.11.2001

(51)Int.Cl.	G09G 3/36 G02F 1/133 G09G 3/20 H01L 29/786
-------------	---

(21)Application number : 2001-047368	(71)Applicant : SHARP CORP
(22)Date of filing : 22.02.2001	(72)Inventor : MAEDA KAZUHIRO WASHIO HAJIME KUBOTA YASUSHI KAIZE YASUYOSHI MICHAEL JAMES BROWNLOW CAIRNS GRAHAM ANDREW

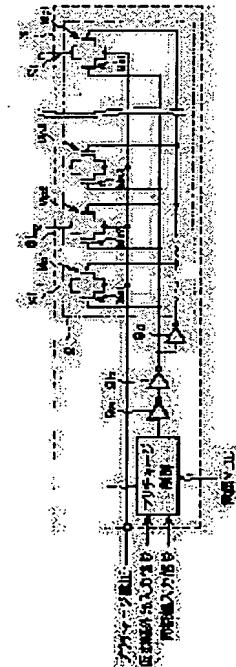
(30)Priority
 Priority number : 2000052410 Priority date : 28.02.2000 Priority country : JP

(54) PRE-CHARGE CIRCUIT AND PICTURE DISPLAY DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a low power consumption pre-charge circuit and a picture display device characteristic of low power consumption and high display quality.

SOLUTION: This picture display device is provided with a pre-charge circuit 1 composed of a current-driven level shifter circuit to be controlled by an output of a latch circuit and the latch circuit mounted in the pre-charge circuit 3. Only for a pre-charge period and the preceding and following periods, the latch circuit is transitioned into an active state and a current-driven level shifter circuit is made to operate. Except for the above periods, the latch circuit is transitioned into an inactive state and the current-driven level shifter circuit is maintained at an inactive state, and thus, power consumption is decreased in the level shifter.



LEGAL STATUS

[Date of request for examination] 07.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]
[Patent number] 3632840
[Date of registration] 07.01.2005
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-318659
(P2001-318659A)

(43) 公開日 平成13年11月16日(2001.11.16)

(51) Int.Cl. ⁷	識別記号	
G 0 9 G	3/36	
G 0 2 F	1/133	5 5 0
G 0 9 G	3/20	6 1 1
		6 1 2

F I			
G 0 9 G	3/36		
G 0 2 F	1/133	5 5 0	
G 0 9 G	3/20	6 1 1 A	
		6 1 2 T	
		6 1 2 U	

審査請求 未請求 請求項の数17 OJ (全 28 頁) 最終頁に続く

(21)出願番号	特願2001-47368(P2001-47368)
(22)出願日	平成13年2月22日(2001.2.22)
(31)優先権主張番号	特願2000-52410(P2000-52410)
(32)優先日	平成12年2月28日(2000.2.28)
(33)優先権主張国	日本(JP)

(71) 出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 前田 和宏
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72) 発明者 鶴尾 一
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(74) 代理人 100080034
弁理士 原 謙三

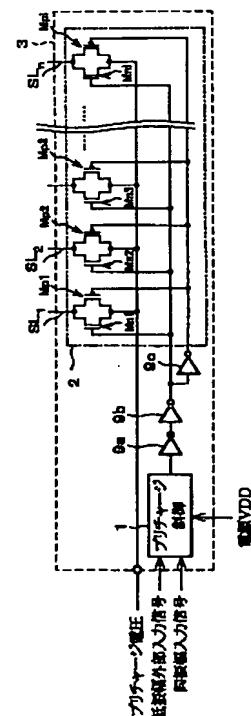
最終頁に統く

(54) 【発明の名称】 ブリチャージ回路およびそれを用いた画像表示装置

(57) 【要約】

【課題】 低消費電力性のプリチャージ回路、ならびに、低消費電力性および高表示品位を兼ね備えた画像表示装置を提供する。

【解決手段】 プリチャージ回路3内に搭載されたラッチ回路と前記ラッチ回路の出力にて制御される電流駆動型レベルシフタ回路によって構成されるプリチャージ制御回路1を備え、プリチャージ期間ならびにその前後の期間にのみ、ラッチ回路をアクティブ状態に遷移させ、電流駆動型レベルシフタ回路を動作させる。また、上記期間外では、ラッチ回路を非アクティブ状態に遷移させ、電流駆動型レベルシフタ回路を非動作状態に維持し、レベルシフタ回路における電力消費を低減する。



【特許請求の範囲】

【請求項 1】信号線に映像信号を印加する前に、予め定める電圧にプリチャージするプリチャージ回路であつて、

上記信号線の駆動期間外のプリチャージ期間を含み、1 水平期間中の有効表示期間より短い期間動作して、上記予め定める電圧を出力するように制御するプリチャージ制御回路を備えたことを特徴とするプリチャージ回路。

【請求項 2】上記プリチャージ制御回路は、プリチャージ回路の駆動電圧よりも小さい振幅を有し、該振幅が上記プリチャージ期間維持される低振幅外部入力信号を外部から受け、この低振幅外部入力信号に基づいてプリチャージの制御を行うことを特徴とする請求項 1 に記載のプリチャージ回路。

【請求項 3】信号の内容を示す信号電圧が断続的に印加される信号線を、当該信号電圧が印加される前に、予め定めるプリチャージ電圧にプリチャージするプリチャージ回路において、

上記信号電圧の印加期間外に設定されるプリチャージ期間を示すプリチャージ制御信号を監視して、当該プリチャージ期間中、上記信号線へ上記プリチャージ電圧を出力するように制御するプリチャージ制御回路を備え、上記プリチャージ制御回路は、上記プリチャージ制御信号として、上記プリチャージ回路の駆動信号レベルよりも低いレベルの低振幅外部入力信号を、外部から受け取り、当該低振幅外部入力信号に基づいて、プリチャージ電圧の出力を制御すると共に、

当該プリチャージ制御回路は、上記プリチャージ制御信号の印加タイミングまたは上記信号電圧の印加タイミングに同期し、上記駆動信号レベルと略同一レベルの入力信号に基づいて、上記各プリチャージ期間の合間に、上記低振幅外部入力信号の監視を休止するプリチャージ回路。

【請求項 4】上記プリチャージ制御回路は、上記低振幅外部入力信号の入力が必要な期間にアクティブとなって上記低振幅外部入力信号をレベルシフトするレベルシフタ回路を有していることを特徴とする請求項 2 または 3 に記載のプリチャージ回路。

【請求項 5】上記レベルシフタ回路は、電流駆動型のレベルシフタ回路であることを特徴とする請求項 4 に記載のプリチャージ回路。

【請求項 6】上記プリチャージ制御回路は、プリチャージ回路の動作期間にアクティブになる信号を保持するラッチ回路を更に備え、該ラッチ回路の出力に基づいて上記レベルシフタが制御されることを特徴とする請求項 4 または 5 に記載のプリチャージ回路。

【請求項 7】上記ラッチ回路は、セットリセット型フリップフロップであり、上記プリチャージ回路の動作期間のスタートタイミングと同期し、かつ該プリチャージ回路の動作期間と同等、もしくは短いパルス幅を有する信

号をセット信号とし、上記プリチャージ期間中上記レベルシフタ回路をアクティブ状態に維持し、上記プリチャージ回路の動作期間のエンドタイミングと同期し、かつ上記セット信号とオーバーラップしない信号をリセット信号とすることを特徴とする請求項 6 に記載のプリチャージ回路。

【請求項 8】上記ラッチ回路は、セットオーバーライトリセット型フリップフロップであり、上記プリチャージ回路の動作期間のスタートタイミングと同期し、かつ該プリチャージ回路の動作期間と同等、もしくは短いパルス幅で、上記レベルシフタ回路においてレベルシフトされる低振幅外部入力信号のアクティブ期間とオーバーラップする信号をセット信号とし、上記プリチャージ回路の動作期間中上記レベルシフタ回路をアクティブ状態に維持し、該レベルシフタ回路の出力信号の反転信号をリセット信号とすることを特徴とする請求項 6 に記載のプリチャージ回路。

【請求項 9】上記ラッチ回路は第 1 および第 2 のセットオーバーライトリセット型フリップフロップから成り、上記電流駆動型のレベルシフタ回路は上記第 1 および第 2 のセットオーバーライトリセット型フリップフロップによってそれぞれ制御される第 1 および第 2 のレベルシフタ回路から成り、第 1 のセットオーバーライトリセット型フリップフロップは、プリチャージ回路の動作期間のスタートタイミングと同期してアクティブとなり、第 2 のレベルシフタ回路の出力信号がアクティブとなる以前、もしくはアクティブ期間中に非アクティブとなる信号をセット信号とし、第 2 のセットオーバーライトリセット型フリップフロップの出力信号をリセット信号とし、第 2 のセットオーバーライトリセット型フリップフロップは、上記第 1 のレベルシフタ回路の出力信号をセット信号とし、上記第 2 のレベルシフタ回路の出力信号の反転信号をリセット信号とすることを特徴とする請求項 6 に記載のプリチャージ回路。

【請求項 10】上記信号線へ映像信号を印加する駆動回路は、当該信号線を両方向に駆動可能であり、上記プリチャージ回路には、上記駆動回路が上記信号線を一方の方向へ駆動する際の電流駆動能力と、他方へ駆動する際の電流駆動能力との相違に応じた補正信号に基づいて、上記プリチャージの電圧を、予め定められた基準値から駆動能力が少ない極性方向へオフセットさせるプリチャージ電圧生成回路が設けられていることを特徴とする請求項 1 ～ 9 の何れかに記載のプリチャージ回路。

【請求項 11】上記映像信号には、正極性で映像信号が印加される期間と、負極性で映像信号が印加される期間とが設けられており、上記プリチャージ回路には、プリチャージ電圧出力線と上記信号線との間に設けられ、上記プリチャージ期間中に導通するスイッチと、

上記プリチャージ期間の直前に印加された映像信号が正極性か負極性かに基づいて、上記プリチャージ期間のスタートタイミングよりも前の時点に、上記映像信号の極性とは逆極性の電圧を上記プリチャージ電圧出力線へ印加すると共に、上記プリチャージ期間のスタートタイミングと同時またはプリチャージ期間中に、上記プリチャージ電圧出力線へ、上記プリチャージ電圧を印加するプリチャージ電圧生成回路とが設けられていることを特徴とする請求項1～9の何れかに記載のプリチャージ回路。

【請求項12】上記映像信号には、正極性で映像信号が印加される期間と、負極性で映像信号が印加される期間とが設けられており、上記プリチャージ回路には、上記プリチャージ期間の次に印加される映像信号が正極性か負極性かに基づいて、上記プリチャージ電圧を、次の映像信号の極性側にオフセットさせるプリチャージ電圧生成回路が設けられていることを特徴とする請求項1～9の何れかに記載のプリチャージ回路。

【請求項13】請求項1乃至12の何れかに記載のプリチャージ回路を備えたことを特徴とする画像表示装置。

【請求項14】上記プリチャージ回路が、上記信号線と走査線とに囲まれてマトリックス状に配列された画素、ならびに該画素を駆動する上記信号線駆動回路および走査線駆動回路と同一基板上に設けられていることを特徴とする請求項13に記載の画像表示装置。

【請求項15】上記プリチャージ回路と上記画素とは、それぞれ多結晶シリコン薄膜トランジスタで形成されていることを特徴とする請求項14に記載の画像表示装置。

【請求項16】上記多結晶シリコン薄膜トランジスタが、ガラス基板上に、600°C以下のプロセス温度で形成されていることを特徴とする請求項15に記載の画像表示装置。

【請求項17】信号線に所望のレベルの信号を印加する前に、一定レベルの電位で信号線をプリチャージするプリチャージ回路であって、

上記信号線の駆動期間外のプリチャージ期間のみ動作して上記一定レベルの電位を出力するように制御するプリチャージ制御回路を備えたことを特徴とするプリチャージ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、信号線に映像信号を印加する前に、予め定める電圧を印加することで該信号線を予備充電するプリチャージ回路と、それを用いる画像表示装置とに関する。

【0002】

【従来の技術】従来の画像表示装置の一つとして、アクティブマトリックス駆動方式の液晶表示装置が知られてい

る。この液晶表示装置は、図31に示すように、画素アレイARYと、走査信号線駆動回路GDと、データ信号線駆動回路SDと、プリチャージ回路PCからなっている。画素アレイには、互いに交差する多数の走査信号線GL(GL1～GLj、総称するときは以下参照符GLで示す)、と多数のデータ信号線SL(SL1～SLi、総称するときは以下参照符SLで示す)とを備えており、隣接する2走査線GLと隣接する2データ信号線SLとで包囲された部分に、画素PIXがマトリクス状に設けられている。

【0003】データ信号線駆動回路SDは、外部からのクロック信号CKS等のタイミング信号に同期して、入力された映像信号DATをサンプリングし、必要に応じて増幅して、各データ信号線SLに書き込む働きをする。走査信号線駆動回路GDは、前記クロック信号CKG等のタイミング信号に同期して、走査信号線GLを順次選択し、画素PIX内にあるスイッチング素子の開閉を制御することによって、前記のように各データ信号線SLに書き込まれた映像信号(データ)を各画素PIXに書き込むとともに、各画素PIXに書き込まれたデータを保持させる働きをする。

【0004】一方、プリチャージ回路PCは、たとえば特開平7-295521号公報で示されるように、外部から入力されるプリチャージ制御信号PCTL, PCTLB等に応答して、前記データ信号線駆動回路SDによって各データ信号線SLにデータが書き込まれる前で、かつ、走査信号線駆動回路GDによっていずれの走査信号線GLも選択されてない期間(プリチャージ期間)に各データ信号線にプリチャージ電圧を書き込んでおくことで、データ信号線駆動回路SDによる各データ信号線SLへのデータの書き時の充放電量を低減し、映像信号線(データ信号線)の電位のゆらぎを抑えている。

【0005】

【発明が解決しようとする課題】上述のような液晶表示装置では、データ信号線駆動回路SDや走査信号線駆動回路GD、さらにはプリチャージ回路PCへ入力される制御信号類(クロック信号CKS/CKG、スタート信号SPS/SPG、プリチャージ制御信号PCTL等)は、それぞれの回路の電源電圧(VDD等)と同振幅の信号として、外部から直接入力されている。

【0006】一方、近年、液晶表示装置の小型化や高解像度化、実装コストの低減などのために、表示を司る画素アレイARYと駆動回路SD, GDとを、それぞれ個別の集積回路チップで形成した後にパネル上に実装するのではなく、前記画素アレイARYが形成されたパネル上に一体形成する技術が注目を集めている。このような駆動回路一体型の液晶表示装置では、その基板に透明基板を使う必要がある(現在広く用いられている透過型液晶表示装置を構成する場合)ので、石英基板やガラス基板上に構成することができる多結晶シリコン薄膜トランジ

ジスタを能動素子として用いる場合が多い。

【0007】ところで、前述の多結晶シリコン薄膜トランジスタを用いた駆動回路一体型の液晶表示装置においては、そのトランジスタ特性が、前記集積回路チップで形成した場合の単結晶シリコントランジスタに比べて劣っている。特に、閾値電圧の絶対値が1V～6Vと高く、したがって、駆動電源電圧VDDも15V～20Vまで高くせざるを得ないのが現状である。

【0008】このとき、外部から入力される制御信号等の振幅も大きくする必要があるけれども、それは、制御信号などを生成するコントロール回路などの外部回路における消費電力の増大を招き、また、信号線による不要輻射も大きな問題となるので、液晶表示装置の回路側に信号昇圧回路（レベルシフタ回路）を搭載することで、出入力インターフェイスの電圧は既存の低電圧のままで、パネル内の前記高い駆動電源電圧VDDに対応することが提案されている。

【0009】前記のレベルシフタ回路は、電圧駆動型と電流駆動型の2つに大別できる。前者は、図32に示す6石レベルシフタに代表される型であり、その入出力および消費電流の特性を図33に示すように、定常電流を必要としないために低消費電力回路である反面、その動作は回路を構成するトランジスタの閾値に強く律速され、トランジスタ特性に対する動作マージンが狭い。一方、後者は、図34に示す差動増幅回路に代表される型であり、その入出力および消費電流の特性を図35に示すように、定常電流を必要とするために消費電力が増加するというデメリットがあるものの、回路を構成するトランジスタ特性に対する動作マージンを大きくとれるというメリットがある。

【0010】前述の多結晶シリコン薄膜トランジスタにて回路を構成した場合、多結晶という特性上、回路内全てのトランジスタにおける閾値や移動度等を均一にすることは難しく、そのため、液晶表示装置にレベルシフタ回路を搭載する場合は、トランジスタ特性に対する動作マージンが大きくとれる電流駆動型レベルシフタ回路を用いるのが一般的である。

【0011】電流駆動型レベルシフタ回路を搭載したプリチャージ回路の構成例を図36に示す。図36に示す回路では、上記プリチャージ電圧をサンプリングして各データ信号線SLに印加するサンプリングスイッチSWの直前に電流駆動型レベルシフタSHを配置し、パネル外部から入力され、電源VDDよりも振幅の小さい信号（低振幅外部入力信号）を昇圧することによって、上記パネル内の高い駆動電圧VDDのサンプリングスイッチSWを駆動している。ただ、この方式で電流駆動型レベルシフタを搭載した場合、プリチャージ期間以外のタイミングにおいても前記の定常電流が存在するために、消費電力の増大を招くという問題がある。

【0012】本発明の目的は、低消費電力化が可能なプリ

チャージ回路、ならびにこれを用いることによって、前記の駆動回路一体型による小型化、高解像度化および実装コストの低減を図ることができる画像表示装置を提供することである。

【0013】

【課題を解決するための手段】本発明に係るプリチャージ回路は、上記課題を解決するために、信号線に映像信号を印加する前に、予め定める電圧にプリチャージするプリチャージ回路であって、以下の措置を講じたことを特徴としている。

【0014】すなわち、上記プリチャージ回路は、上記信号線の駆動期間外のプリチャージ期間を含み、1水平期間中の有効表示期間より短い期間動作して、上記予め定める電圧を出力するように制御するプリチャージ制御回路を備えたことを特徴としている。

【0015】上記の発明によれば、予め定める電圧に信号線がプリチャージされた後、該信号線に映像信号が印加される。

【0016】従来は、プリチャージ回路は常時動作していた。プリチャージ回路が動作する限り、プリチャージ期間以外のタイミングにおいてもプリチャージ回路において定常電流が流れることになり、その結果、プリチャージ回路における消費電力の増大を招来していた。

【0017】そこで、上記発明によれば、プリチャージ制御回路が設けられており、このプリチャージ制御回路は、上記信号線の駆動期間外のプリチャージ期間を含み、1水平期間中の有効表示期間より短い期間動作するので、該プリチャージ回路の動作期間だけプリチャージの電圧が outputされる。このような制御によって、動作期間外では、最早、プリチャージ回路において上記定常電流が流れることはなくなり、電力消費は動作期間に限られる。その分、プリチャージ回路における消費電力の増大を確実に抑えることができる。

【0018】ここで、NTSC等のテレビジョンモードでは、水平帰線期間は予め定められているけれども、パソコン用コンピュータの画面表示モードでは、ペン入力等のパネルの付加機能を処理するために、水平帰線期間を長く設ける場合が考えられ、極端な場合、有効表示期間の方が短くなってしまうこともある。本発明では、このような場合に、プリチャージ回路の動作期間は一層短くなり、好適である。

【0019】上記プリチャージ制御回路は、プリチャージ回路の駆動電圧よりも小さい振幅を有し、該振幅が上記プリチャージ期間維持される低振幅外部入力信号を外部から受け、この低振幅外部入力信号に基づいてプリチャージの制御を行うことが好ましい。

【0020】この場合、外部回路は、プリチャージ回路の駆動電圧よりも小さい振幅の外部入力信号をプリチャージ制御回路に供給すればよいので、外部回路の負荷軽減および消費電力低減を図ることが可能となる。これに

より、低電圧インタフェイス化が確実に行える。

【0021】また、本発明に係るプリチャージ回路は、上記課題を解決するために、信号の内容を示す信号電圧が断続的に印加される信号線を、当該信号電圧が印加される前に、予め定めるプリチャージ電圧にプリチャージするプリチャージ回路において、以下の措置を講じたことを特徴としている。

【0022】すなわち、上記信号電圧の印加期間外に設定されるプリチャージ期間を示すプリチャージ制御信号を監視して、当該プリチャージ期間中、上記信号線へ上記プリチャージ電圧を出力するように制御するプリチャージ制御回路を備え、上記プリチャージ制御回路は、上記プリチャージ制御信号として、上記プリチャージ回路の駆動信号レベルよりも低いレベルの低振幅外部入力信号を、外部から受け取り、当該低振幅外部入力信号に基づいて、プリチャージ電圧の出力を制御すると共に、当該プリチャージ制御回路は、上記プリチャージ制御信号の印加タイミングまたは上記信号電圧の印加タイミングに同期し、上記駆動信号レベルと略同一レベルの入力信号に基づいて、上記各プリチャージ期間の合間毎に、上記低振幅外部入力信号の監視を休止する。

【0023】当該構成では、プリチャージ制御回路は、例えば、信号線選択信号など、上記プリチャージ制御信号の印加タイミングまたは上記信号電圧の印加タイミングに同期した入力信号に基づいて、各プリチャージ期間の合間を判定し、例えば、レベルシフト回路など、低振幅外部入力信号を監視する入力回路を各プリチャージ期間の合間毎に停止させ、次のプリチャージ期間のスタートタイミングと同時またはそれ以前の時点で、当該入力回路の動作を再開させる。

【0024】ここで、本来の駆動信号レベルとは異なるレベルの信号が入力される入力回路は、回路構成が複雑になりやすく、消費電力が大きくなりやすい。したがって、常時動作すると消費電力が増大する虞れがある。ところが、上記構成では、当該入力回路が各プリチャージ期間の合間毎に停止されるので、上記プリチャージ回路と同様に、プリチャージ制御回路の入力回路が常時動作する場合に比べて、プリチャージ回路の消費電力を削減できる。

【0025】なお、上記入力信号のレベルは、駆動信号レベルと略同一レベルであり、レベルシフト回路でレベルシフトせずに、プリチャージ回路の各素子を駆動できるので、プリチャージ制御回路は、入力回路を停止させるために、他のレベルシフト回路など、入力信号レベルの異なる回路を設けることなく、入力回路の動作／停止を制御できる。

【0026】上記プリチャージ制御回路は、上記低振幅外部入力信号の入力が必要な期間にアクティブとなって上記低振幅外部入力信号をレベルシフトするレベルシフト回路を有していることが好ましい。

【0027】この場合、レベルシフト回路は、低振幅外部入力信号の入力が必要な期間と、プリチャージ期間においてアクティブとなるので、プリチャージ回路の駆動電圧よりも小さい振幅の外部入力信号に基づいて、上記プリチャージ期間だけプリチャージの制御が確実に行える。

【0028】上記レベルシフト回路は、電流駆動型のレベルシフト回路であることが好ましい。レベルシフト回路は、電圧駆動型と電流駆動型に大別できる。電圧駆動型の場合、定電流を必要としないため低消費電力化が可能である一方、その動作は回路を構成するスイッチング素子の閾値に強く影響され、該スイッチング素子の特性に対する動作マージンが狭い。これに対して、電流駆動型の場合、定常電流を必要とするため消費電力が増加するというデメリットが存在するものの、回路を構成するスイッチング素子の特性に対する動作マージンを大きくとれるというメリットが存在する。例えば、スイッチング素子を多結晶シリコン薄膜トランジスタで構成した場合、多結晶という特性上、回路内の全てのトランジスタにおける閾値や移動度等を均一にすることは難しいが、電流駆動型のレベルシフト回路を使用すれば、動作マージンが大きくとれるので、上記問題点を解決できる。

【0029】上記プリチャージ制御回路は、プリチャージ回路の動作期間にアクティブになる信号を保持するラッチ回路を更に備え、該ラッチ回路の出力に基づいて上記レベルシフトが制御されることが好ましい。

【0030】この場合、ラッチ回路に入力する信号は、別途専用の回路を設けて生成するまでもなく、プリチャージ期間に同期した信号を用いることが可能となり、その分、構成が簡素になる。

【0031】上記ラッチ回路は、セットリセット型フリップフロップであり、上記プリチャージ回路の動作期間のスタートタイミングと同期し、かつ該プリチャージ回路の動作期間と同等、もしくは短いパルス幅を有する信号をセット信号とし、上記プリチャージ期間中上記レベルシフト回路をアクティブ状態に維持し、上記プリチャージ回路の動作期間のエンドタイミングと同期し、かつ上記セット信号とオーバーラップしない信号をリセット信号とすることが好ましい。

【0032】この場合、セット信号を受けると、セットリセット型フリップフロップの出力信号が非アクティブからアクティブへと状態遷移する。また、リセット信号を受けると、セットリセット型フリップフロップの出力信号がアクティブから非アクティブへと状態遷移し、維持される。これにより、上記プリチャージの制御が可能となる。

【0033】上記ラッチ回路は、セットオーバーライトリセット型フリップフロップであり、上記プリチャージ回路の動作期間のスタートタイミングと同期し、かつ該プリチャージ回路の動作期間と同等、もしくは短いパル

ス幅で、上記レベルシフタ回路においてレベルシフトされる低振幅外部入力信号のアクティブ期間とオーバーラップする信号をセット信号とし、上記プリチャージ回路の動作期間中上記レベルシフタ回路をアクティブ状態に維持し、該レベルシフタ回路の出力信号の反転信号をリセット信号とすることが好ましい。

【0034】この場合、セット信号を受けると、セットオーバーライトリセット型フリップフロップの出力信号が非アクティブからアクティブへと状態遷移する。また、上記レベルシフタ回路の出力信号をリセット信号として用いているので、セルフリセットが行われ、セットオーバーライトリセット型フリップフロップの出力信号がアクティブから非アクティブへと状態遷移し、維持される。これにより、上記プリチャージの制御が可能となる。

【0035】上記ラッチ回路は第1および第2のセットオーバーライトリセット型フリップフロップから成り、上記電流駆動型のレベルシフタ回路は上記第1および第2のセットオーバーライトリセット型フリップフロップによってそれぞれ制御される第1および第2のレベルシフタ回路から成り、第1のセットオーバーライトリセット型フリップフロップは、プリチャージ回路の動作期間のスタートタイミングと同期してアクティブとなり、第2のレベルシフタ回路の出力信号がアクティブとなる以前、もしくはアクティブ期間中に非アクティブとなる信号をセット信号とし、第2のセットオーバーライトリセット型フリップフロップの出力信号をリセット信号とし、第2のセットオーバーライトリセット型フリップフロップは、上記第1のレベルシフタ回路の出力信号をセット信号とし、上記第2のレベルシフタ回路の出力信号の反転信号をリセット信号とすることが好ましい。

【0036】この場合、外部から入力するセット信号は、第1のセットオーバーライトリセット型フリップフロップに対するものだけによくなるので、第1のセットオーバーライトリセット型フリップフロップのリセット信号、ならびに第2のセットオーバーライトリセット型フリップフロップのセット信号およびリセット信号は、プリチャージ制御回路内で供給可能である。したがって、その分、構成が簡素になる。

【0037】上記信号線へ映像信号を印加する駆動回路は、当該信号線を両方向に駆動可能であり、上記プリチャージ回路には、上記駆動回路が上記信号線を一方の方向へ駆動する際の電流駆動能力と、他方へ駆動する際の電流駆動能力との相違に応じた補正信号に基づいて、上記プリチャージの電圧を、予め定められた基準値から駆動能力が少ない極性方向へオフセットさせるプリチャージ電圧生成回路が設けられていることが好ましい。

【0038】この場合、駆動能力の削減と書き込みムラの除去との双方を実現できる。また、プリチャージ電位が一定であれば、画像表示装置を駆動する外部回路の負

荷も軽くなり、外部回路の簡略化および低消費電力化も達成できる。

【0039】上記映像信号には、正極性で映像信号が印加される期間と、負極性で映像信号が印加される期間とが設けられており、上記プリチャージ回路には、プリチャージ電圧出力線と上記信号線との間に設けられ、上記プリチャージ期間中に導通するスイッチと、上記プリチャージ期間の直前に印加された映像信号が正極性か負極性かに基づいて、上記プリチャージ期間のスタートタイミングよりも前の時点に、上記映像信号の極性とは逆極性の電圧を上記プリチャージ電圧出力線へ印加すると共に、上記プリチャージ期間のスタートタイミングと同時に、上記プリチャージ期間中に、上記プリチャージ電圧出力線へ、上記プリチャージ電圧を印加するプリチャージ電圧生成回路とが設けられていることが好ましい。

【0040】この場合、プリチャージ期間のスタートタイミングよりも前の時点で映像信号の極性とは逆極性の電圧を印加しておくことで、信号線がプリチャージ期間に引き込まれた結果の電位は、目標とするプリチャージ電圧に近くなる。また、プリチャージ期間が終了するまでに、目標とするプリチャージ電圧に変更することで、電流駆動能力が低い場合であっても、確実にプリチャージ電圧に充電できる。

【0041】上記映像信号には、正極性で映像信号が印加される期間と、負極性で映像信号が印加される期間とが設けられており、上記プリチャージ回路には、上記プリチャージ期間の次に印加される映像信号が正極性か負極性かに基づいて、上記プリチャージ電圧を、次の映像信号の極性側にオフセットさせるプリチャージ電圧生成回路が設けられることが好ましい。

【0042】この場合、プリチャージ電位から書き込まれる映像信号の電位までの差を、より小さくできる。この結果、電流駆動能力が小さくても、映像信号を十分に書き込むことができ、良質な画像表示能力が得られる。

【0043】画像表示装置は、上記何れかのプリチャージ回路を備えることが好ましい。この場合、上記プリチャージ回路を時間選択的に動作させることによって、画像表示装置における消費電力の低減が可能となる。

【0044】上記プリチャージ回路が、上記信号線と走査線とに囲まれてマトリックス状に配列された画素、ならびに該画素を駆動する上記信号線駆動回路および走査線駆動回路と同一基板上に設けられていることが好ましい。この場合、表示を行うための画素、該画素を駆動するための信号線駆動回路および走査線駆動回路と、上記プリチャージ回路とが同一基板上に同一工程で製造することが可能となり、製造コストや実装コストの低減と、実装良品率の向上が図れる。

【0045】上記プリチャージ回路と上記画素とは、それぞれ多結晶シリコン薄膜トランジスタで形成されていることが好ましい。

【0046】この場合、プリチャージ回路と画素とが非晶質シリコン薄膜トランジスタで形成される場合と比較すると、極めて駆動力の高い特性が得られる。したがって、上記画素、上記信号線駆動回路および上記プリチャージ回路を容易に同一基板上に形成できる。加えて、多結晶シリコン薄膜トランジスタは、単結晶シリコン薄膜トランジスタと比較して、電気的特性が均一ではないので、レベルシフタ回路の型としては、トランジスタ特性に対して広いマージンを確保できる電流駆動型を用いることが一般的であるが、その際、電流駆動のために消費電力が増大するおそれがある。しかし、上記発明によれば、電流駆動型レベルシフタ回路に必要な電流を上述のように時間選択的に制限できるので、消費電力を抑えた状態で良好な回路動作を実現できる。

【0047】上記多結晶シリコン薄膜トランジスタが、ガラス基板上に、600°C以下のプロセス温度で形成されていることが好ましい。この場合、歪み点温度は低いが、安価かつ大型化が容易なガラスを基板として用いることができるので、基板材質の選択の幅が広がると共に、大型の画像表示装置を低コストで実現できる。

【0048】本発明に係るプリチャージ回路は、上記課題を解決するために、信号線に所望のレベルの信号を印加する前に、一定レベルの電位で信号線をプリチャージするプリチャージ回路であって、以下の措置を講じたことを特徴としている。

【0049】すなわち、上記信号線の駆動期間外のプリチャージ期間のみ動作して上記一定レベルの電位を出力するように制御するプリチャージ制御回路を備えたことを特徴としている。

【0050】上記構成によれば、プリチャージ期間のみ動作するので、上記プリチャージ回路と同様に、常時動作するプリチャージ回路に比べて、消費電力を削減できる。

【0051】

【発明の実施の形態】本発明の実施の一形態について図1乃至図30に基づいて説明すれば、以下のとおりである。本発明の対象技術である画像表示装置とプリチャージ回路の例として、ここでは、液晶表示装置と、そのデータ信号線にプリチャージ期間を含む所定の期間内で予め定める電圧を印加するプリチャージ回路について説明する。ただし、本発明はこれに限定されるものではなく、他の画像表示装置や他のプリチャージ回路についても有効なものである。

【0052】図1は、本発明に係るプリチャージ回路3の構成例を示したブロック図である。プリチャージ回路3は、図1に示すように、主として、サンプリングスイッチ2とプリチャージ制御回路1とによって構成されている。このプリチャージ制御回路1には、電源VDD、パネル内で生成される上記電源VDDと同振幅の信号(同振幅入力信号)およびパネル外部から入力され、電

源VDDよりも振幅の小さい信号(低振幅外部入力信号)が入力されている。上記サンプリングスイッチ2には、後述のプリチャージ制御信号PCTLが入力されている。

【0053】上記の同振幅入力信号によって、プリチャージ制御回路1のアクティブ／非アクティブが制御され、アクティブの際には、低振幅外部入力信号を電源VDDまで昇圧した出力信号によってサンプリングスイッチ2が制御される。これにより、プリチャージ回路3の時間選択的な動作が可能となり、プリチャージ回路3における消費電力を抑えることが可能となる。

【0054】図2は、上記プリチャージ回路3を実現するためのプリチャージ制御回路1の構成例を示したブロック図である。図2において、プリチャージ制御回路1は、上記同振幅入力信号によって状態が遷移し、プリチャージ制御回路1の状態を遷移後の状態に保持するラッチ回路4と、このラッチ回路4の出力によって上記アクティブ／非アクティブが切替可能なレベルシフタ回路5を単位ブロックとして、上記単位ブロックが單一もしくは複数個で構成されている。

【0055】このようにラッチ回路4を設けることによって、上記プリチャージ制御回路1に入力されるプリチャージ回路3の動作／非動作を決定する同振幅入力信号として、上記プリチャージ期間を含む特定のプリチャージ回路動作期間よりもアクティブ期間の短い信号を用いることができる。これによって、後述のように液晶パネルに既存の信号によって上記プリチャージ回路3の制御が可能となる。また、上記ブロックを複数組み合わせることで、上記プリチャージ回路3への外部からの入力信号の数を減らすことも可能である。

【0056】図3は、上記プリチャージ回路3を実現するためのプリチャージ制御回路1を構成するレベルシフタ回路5の構成例を示す回路図である。図3におけるレベルシフタ回路5の基本構成は差動増幅型であり、その基本動作としては、差動増幅回路部6の入力部にあたるMP1およびMP2(P型MOSFET)のゲートに入力される信号PCTL／PCTLBに同期して、振幅が該レベルシフタ回路5の駆動電圧VDDとほぼ等しい出力信号を供給する。

【0057】ここで、図3におけるレベルシフタ回路5は、回路の動作制御用のスイッチとして、上記差動増幅回路部6の入力部にあたるMP1およびMP2のゲートと上記信号PCTL／PCTLBの信号入力端子との間にMN1およびMN2、ならびに差動増幅回路部6とGNDとの間にMN3(MN1～MN3は、何れもN型MOSFETである。)を備えている。また、非アクティブ状態におけるレベルシフタ回路5を安定状態に維持するため、非アクティブ状態においてフローティングとなるMP1およびMP2のゲートならびに差動増幅回路部6の出力ノードと電源VDDとの間にプルアップスイッ

チであるMP 3、MP 4およびMP 5（何れもP型MOSFET）を備えている。

【0058】これらのスイッチMN 1、MN 2、MN 3、MP 3、MP 4およびMP 5のゲートには全て、パネル内で生成され、電源VDDと同振幅の上記同振幅入力信号である制御信号が入力され、該制御信号がハイレベル（アクティブ）の時は、プルアップスイッチMP 3、MP 4、MP 5はオフすると共に、回路の動作制御用のスイッチMN 1、MN 2、MN 3はオンする。これにより、レベルシフタ回路5が動作可能となる。

【0059】一方、制御信号がローレベル（非アクティブ）の時は、プルアップスイッチMP 3、MP 4、MP 5はオンすると共に、回路の動作制御用のスイッチMN 1、MN 2、MN 3はオフする。これにより、アクティブ状態では定電流源7が存在する差動増幅回路部6がGNDから切り離され、さらにMP 1およびMP 2のゲートがVDDにプルアップされるので、差動増幅回路部6において電流が流れることはない。また、そのとき差動増幅回路部6の出力ノードも電源VDDへプルアップされるので、MN 6がオンすると共に、上記レベルシフタ回路5の出力はローレベルに固定される。以上のような構成を用いることによって、レベルシフタ回路5の時間選択性動作が可能となり、本プリチャージ回路3における消費電流を確実に低減することができる。なお、図3において、PCTLおよびPCTLBは、何れも低振幅外部入力信号であるプリチャージ制御信号を表す。

【0060】図4は、プリチャージ回路3を実現するためのプリチャージ制御回路1を構成する上記ラッチ回路4の構成を示す回路図である。このラッチ回路4は、SRフリップフロップ（セットリセット型フリップフロップ）であり、入力されるセット信号およびリセット信号に応じて出力が変化する。

【0061】図5に入力信号に対する出力信号の遷移図を示す。（セット信号状態、リセット信号状態）の表記法で説明すると（以下、Hはハイレベルを表し、Lはローレベルを表す）、初期状態で出力Lの場合、（H, L）となることで出力がLからHへ遷移し、その後、（H, L）および（L, L）の場合にも出力Hを維持することになる。また、出力Hの状態において（L, H）となった場合に出力がHからLへと遷移し、その後、（L, H）および（L, L）の場合にも出力Lを維持することになる。ここで、（H, H）の組み合わせは禁止となる。

【0062】図6および図7に実際の回路動作のタイミングを示す。セット信号のLからHへの変化に同期して出力信号もLからHへ変化し、その後、（L, H）になるまでH状態を維持、すなわち図6で示すようなセット信号がHからLへと変化した後のリセット信号のLからHへの変化、もしくは図7で示すようなセット信号がHからLへと変化するのと同タイミングでのリセット信号

のLからHへの変化と同期して、出力信号はHからLへと変化する。その後、再びセット信号がLからHとなるまではL状態を維持する。

【0063】以上の構成によって、セット信号とリセット信号にてプリチャージ回路3を時間選択性動作させることが可能となる。また、ラッチ回路4を用いるので、セット信号およびリセット信号には、イそれぞれの立上がり期間内にプリチャージ期間を含んでおり、かつ、イそれぞれのH期間が重複しない限り、任意のH期間を持つ信号を用いることができる。そのため、後述のように液晶パネルに既存の信号を用いることが可能となり、液晶パネル外から入力する信号数を増加させずに済むというメリットもある。

【0064】図8は、上記図4で示すラッチ回路4を用いてプリチャージ回路3を実現するためのプリチャージ制御回路1の具体的構成を示すブロック図である。図8において、ラッチ回路4には図4で示したRSフリップフロップ、電流駆動型のレベルシフタ回路5としては図3に示したものを使っている。このプリチャージ制御回路1では、前述のような、イそれぞれの立上がり期間内にプリチャージ期間を含んでおり、かつ、イそれぞれのH期間が重複しない信号として、セット信号S0およびリセット信号S1を用いている。これらの信号S0、S1によって制御されるラッチ回路4の出力A00をレベルシフタ回路5の制御信号として用いることによって、プリチャージ期間のみレベルシフタ回路5を動作させ、プリチャージ制御信号PCTLまたはプリチャージ制御信号PCTLBを昇圧した信号ALOがレベルシフタ回路5から出力されることになる。したがって、常時レベルシフタ回路5を動作させる場合と比較し、プリチャージ回路3における消費電流を低減させることができる。上記信号S0、S1は、パネル内で生成され、電源VDDと同振幅でプリチャージ制御回路1を制御する上記同振幅入力信号に相当し、詳細については後述する。また、プリチャージ制御信号PCTL、PCTLBは、パネル外部から入力され、電源VDDより小さい振幅でプリチャージ期間を規定する信号であり、上記低振幅外部入力信号に相当する。

【0065】図9は、図8に示したプリチャージ制御回路1の動作タイミングを示す図である。セット信号S0によってラッチ回路4の状態が非アクティブからアクティブへと遷移し、制御信号A00がLからHに変化する。これによって、該制御信号A00によってアクティブ／非アクティブが制御されているレベルシフタ回路5はアクティブ状態に維持され、外部から低振幅にて入力されたプリチャージ制御信号PCTLまたはプリチャージ制御信号PCTLBをプリチャージ回路3の駆動電圧とほぼ同等の振幅に昇圧した出力ALOが得られる。その後、リセット信号S1によってラッチ回路4が非アクティブ状態へ遷移し、制御信号A00がHからLへ変化

し、レベルシフタ回路5が非アクティブ状態となる。

【0066】この一連の動作において、定常電流が発生するのは図9に示したプリチャージ回路動作期間のみであり、従来のようにプリチャージ回路が常時動作している場合と比較し、消費電流を確実に節減することができる。

【0067】図10は、プリチャージ回路3を実現するためのプリチャージ制御回路1を構成する他のラッチ回路4aの構成例を示す回路図である。この図10のラッチ回路4aはセットオーバーライトリセット型フリップフロップであり、入力されるセット信号およびリセット信号に応じて出力を変化させる。図11に、入力信号に対する出力信号の遷移図を示す。

【0068】前述の図5と同様に、(セット信号状態、リセット信号状態)の表記法で説明すると、ラッチ回路4aは、初期状態で出力Lの場合、(H, L)または(H, H)となることによって、出力がしからHへ遷移し、その後、(H, L)、(H, H)および(L, L)の場合は出力Hを維持する。また、出力Hの状態において(L, H)となった場合は、出力がHからLへと遷移し、その後、(L, H)および(L, L)の場合は出力Lを維持する。

【0069】ここで、図12および図13に実際の回路動作のタイミングを示す。セット信号のしからHへの変化に同期して出力信号もLからHへ変化し、その後、

(L, H)になるまでH状態を維持、すなわちセット信号がHからLへと変化した後のリセット信号のしからHへの変化、もしくはリセット信号がしからHへと変化した後のセット信号のHからLへの変化と同期して出力信号はHからLへと変化する。その後、再びセット信号がしからHとなるまではL状態を維持する。

【0070】以上の構成によって、図10の構成は、図4の構成と比較し、(H, H)の信号も許容パターンとなり、H期間が重複する2つの信号もセット信号およびリセット信号として用いることが可能となる。

【0071】図14は、プリチャージ回路3を実現するためのプリチャージ制御回路1の他の構成ブロック図である。ここで示す例は、上述の図10で示すセットオーバーライトリセット型フリップフロップから成るラッチ回路4aを備えると共に、前述の例の電流駆動型のレベルシフタ回路5を備えている。そして、レベルシフタ回路5にて昇圧した出力ALOがインバータ8を介して、ラッチ回路4aにリセット信号S1aとして入力されている。

【0072】図15は、図14に示したプリチャージ制御回路1の動作タイミングを示す。セット信号S0は、プリチャージ制御信号PCTLがアクティブになる前にアクティブになり、そのアクティブ状態が少なくともプリチャージ制御信号PCTLがアクティブになるまで維持される信号である。このセット信号S0のしからHへ

の変化に同期してラッチ回路4aの状態が非アクティブからアクティブへと遷移し、出力信号である制御信号AO0がしからHに変化する。この制御信号AO0によつてアクティブ/非アクティブが制御されるレベルシフタ回路5はアクティブ状態に遷移かつ維持され、外部から低振幅にて入力されたプリチャージ制御信号PCTLまたはプリチャージ制御信号PCTLBをプリチャージ回路3の駆動電圧とほぼ同等の振幅に昇圧した出力信号ALOを出力する。

【0073】その出力信号ALOはまた、インバータ8で反転されてラッチ回路4aにリセット信号S1aとして入力される。これによって、プリチャージ制御信号PCTL, PCTLBがアクティブから非アクティブに切換わる前にセット信号S0が図15において実線で示すようにHからLになっていた場合は、ラッチ回路4aは上記出力信号ALOのHからLに切換わるタイミングで非アクティブに切換わり、レベルシフタ回路5の出力信号ALOはLに維持される。これに対して、プリチャージ制御信号PCTL, PCTLBがアクティブから非アクティブに切換わった後にセット信号S0が図15において破線で示すようにHからLとなる場合は、ラッチ回路4aはセット信号S0のHからLへの切換わりに応答して非アクティブに切換わる。

【0074】このように構成することによって、図8の構成におけるリセット信号S1を外部から入力する必要がなくなり、プリチャージ制御回路1への入力信号としては、電源VDDと同振幅のセット信号S0、パネル外部から入力される低振幅のプリチャージ制御信号PCTL, PCTLBの3つで良く、配線数を削減し、回路レイアウトを簡略化することができる。

【0075】図16は、プリチャージ回路3を実現するためのプリチャージ制御回路1の他の構成ブロック図である。ここで示す例は、前述のラッチ回路4の代わりに上述のセットオーバーライトリセット型フリップフロップを用いるラッチ回路4aおよびそれと同様のラッチ回路4bを備えると共に、電流駆動型のレベルシフタ回路5aおよび5bを備えている。

【0076】図17は、図16に示したプリチャージ制御回路1の動作タイミングを示す。セット信号S2のLからHへの変化に同期してラッチ回路4aの状態が非アクティブからアクティブへと遷移し、出力信号である制御信号AO1がしからHに変化する。これによって、制御信号AO1によってアクティブ/非アクティブを制御されているレベルシフタ回路5aは、アクティブ状態に遷移かつ維持され、外部から低振幅にて入力されたプリチャージ制御信号PCTLまたはプリチャージ制御信号PCTLBをプリチャージ回路3の駆動電圧とほぼ同等の振幅に昇圧した制御信号AL1をラッチ回路4bに出力する。

【0077】2段目のラッチ回路4bは、制御信号AL

1をセット信号として用いており、制御信号A L 1がLからHになることによって非アクティブ状態からアクティブ状態へと遷移し、LからHへと変化する制御信号B O 1を2段目のレベルシフタ回路5 bへ出力する。ここで、1段目のラッチ回路4 aはリセット信号として制御信号B O 1を用いているので、この時点で既にセット信号S 2がHからLに変化していた場合は、この制御信号B O 1のLからHへの変化に同期してラッチ回路4 aの状態はアクティブから非アクティブへと遷移する一方、セット信号S 2がHのままだった場合は、セット信号S 2のHからLへの変化に同期してラッチ回路4 aの状態はアクティブから非アクティブへと遷移し、出力信号(制御信号A O 1)はHからLへと変化する。

【0078】これによって、レベルシフタ回路5 aが非アクティブ状態となり制御信号A L 1がHからLへと変化する。また、制御信号B O 1がHに変化することで2段目のレベルシフタ回路5 bはアクティブ状態となり、外部から低振幅にて入力されたプリチャージ制御信号P C T Lまたはプリチャージ制御信号P C T L Bをプリチャージ回路3の駆動電圧とほぼ同等の振幅に昇圧した出力信号B L 1を出力する。

【0079】上記出力信号B L 1はインバータ8で反転されてラッチ回路4 bのリセット信号となっており、レベルシフタ回路5 aが非アクティブ状態になって制御信号A L 1がHからLへと変化した場合も、レベルシフタ回路5 bはリセット信号である出力信号B L 1の反転信号がLのため、アクティブ状態を維持し制御信号B O 1はHを維持する。その後、プリチャージ制御信号P C T LおよびP C T L Bの変化に伴い、出力信号B L 1がHからLへ変化した際にラッチ回路4 bに対しリセット信号がアクティブとなり、ラッチ回路4 bが非アクティブ状態に遷移し、制御信号B O 1がHからLへと変化する。また、制御信号B O 1がLとなることでレベルシフタ回路5 bも非アクティブ状態となる。この一連の動作において、定常電流が発生するのは図17に示したプリチャージ回路動作期間のみであり、従来のように、プリチャージ回路が常時動作する場合と比較し、消費電流を確実に節減できる。

【0080】上記のような構成を用いた場合でも、前述の図14の構成と同様に、プリチャージ制御回路1への入力信号としては、セット信号S 2、プリチャージ制御信号P C T L, P C T L Bの3つで良く、配線数を削減することができる。

【0081】図18は、本発明に係る画像表示装置の構成例を示した図である。図18における構成は、従来と同様に、マトリクス状に配置された画素P IX(内部構造を示す等価回路を図19に示す。)から成る画素アレイARYと、走査信号線駆動回路(ゲートドライバ)GDと、データ信号線駆動回路(データドライバ)SDと、プリチャージ回路3から成るアクティブマトリクス

型液晶表示装置を示すけれども、プリチャージ回路3が従来のプリチャージ回路PCと異なっている。なお、このプリチャージ回路3は上述の各構成を有している。

【0082】一般に、液晶表示装置においては、液晶素子を駆動するために、15~25Vの比較的高い駆動電圧が必要とされるので、駆動回路もこれに近い電圧で駆動されることが多い。これに対して、画像表示装置に入力される信号は、ICで生成されるので、通常3.3V~5Vである。したがって、この間に何らかの電圧変換回路(レベルシフタ回路)を介することが必要になるのに対して、本発明では、上述したように、時間選択的に電流駆動型のレベルシフタ回路5を動作させることで、消費電力を抑え、かつ、良好な画像表示を実現することができる。

【0083】図1を参照して、上記サンプリングスイッチ2は、各データ信号線S L 1~S L i毎に、一对のP型トランジスタM p 1~M p iと、N型トランジスタM n 1~M n iとを備えるCMOSスイッチで構成されており、トランジスタM p 1~M p i; M n 1~M n iのドレインがデータ信号線S L 1~S L iにそれぞれ接続され、ソースには共通にプリチャージ電圧が与えられている。また、N型トランジスタM n 1~M n iのゲートには、前述のプリチャージ制御回路1からの出力信号A L O, B L 1が2段のインバータ9 a, 9 bでバッファリングされて共通に与えられ、P型トランジスタM p 1~M p iのゲートには、上記出力信号A L O, B L 1がインバータ9 a, 9 bとともに、もう1段のインバータ9 cでバッファリングされて共通に与えられる。

【0084】上記プリチャージ電圧は、データ信号線駆動回路SDに入力される映像信号(データ)に応じた予め定める一定電圧または変動電圧である。上記のようにサンプリングスイッチ2をCMOS構成とすることで、プリチャージ電圧が、プリチャージ回路1のハイレベル側の電源V DDの電位に近い場合は、該プリチャージ電圧は主にP型トランジスタM p 1~M p iを介してデータ信号線S L 1~S L iにそれぞれ印加され、ローレベル側の電源V SSの電位に近い場合は、主にN型トランジスタM n 1~M n iを介して印加される。こうして、プリチャージ電圧に対するサンプリングスイッチ2の駆動能力の依存を最小限に抑制し、ムラのないプリチャージ効果が得られている。

【0085】上記プリチャージ電圧を発生する回路は、例えば、図20に示すように、1または複数の電圧調節信号に応答した電圧を発生するプリチャージ電圧発生回路11と、プリチャージ電圧発生回路11の出力をバッファリングして上記プリチャージ電圧として出力するバッファ回路12とを備えている。当該プリチャージ電圧発生回路11は、図21に示すように、ハイレベル側の電源13とローレベル側の電源14との間にトリマ抵抗15が設けられ、そのトリマ抵抗15を電圧調節信号に

応答して電圧選択回路16が調整することで、該トリマ抵抗15で発生された上記ハイレベルからローレベルの間の中間電圧がプリチャージ電圧として出力される。この図21の構成で、電圧調節信号として、水平同期信号HSYNCと、垂直同期信号VSYNCと、上記プリチャージ制御信号PCTLと、補正信号との何れかまたは全てが、プリチャージ電圧のモードに応じて入力される。

【0086】まず最初に、映像信号が交流駆動される場合に好適な構成例として、プリチャージ電圧発生回路11が、プリチャージ電圧として、直前の映像信号の極性とは逆極性の電位を出力しておき、プリチャージ期間のスタートタイミングと同時に、もしくはスタートタイミングから予め定める期間遅れたタイミングで、目標とするプリチャージ電位に変更する場合について説明する。

【0087】例えば、映像信号が1H反転で交流駆動し、スタートタイミングと同時にプリチャージ電位に変更する構成の場合、プリチャージ電圧発生回路11には、電圧調節信号として、上記プリチャージ制御信号PCTLと水平同期信号HSYNCとが入力される。この場合、電圧選択回路16は、プリチャージ制御信号PCTLが非アクティブの間、水平同期信号HSYNCに基づいて、各極性用に予め定められた電位のうち、逆極性の方を出力するように、トリマ抵抗15を制御する。一方、プリチャージ制御信号PCTLがアクティブの間、電圧選択回路16は、予め定められたプリチャージ電位を出力するように、トリマ抵抗15を制御する。

【0088】ここで、プリチャージ電圧を一定電圧とした場合、プリチャージ電圧発生回路11の出力電圧は、直前の水平または垂直期間における極性側に引込まれた後、予め定めるプリチャージ電圧に収束しようとする。この結果、プリチャージ電圧発生回路11の駆動能力が十分に大きないと、図22に示すように、プリチャージ期間内では、プリチャージ電圧に収束させることができなくなる虞れがある。

【0089】これに対して、上述したように、プリチャージ電圧発生回路11が、直前の映像信号の極性とは逆極性の電位を出力していた場合、図23に示すように、引き込み幅は同じであっても、引き込まれた結果の電位は、図22に比べて、目標とするプリチャージ電圧に近くなる。また、プリチャージ期間が終了するまでに、プリチャージ電圧発生回路11の出力電圧は、目標とするプリチャージ電圧に変更される。これらの結果、プリチャージ電圧発生回路11は、駆動能力が低い場合であっても、図22の場合と異なり、確実にプリチャージ電圧に充電できる。

【0090】なお、上記では、1H反転駆動の場合にして説明したが、水平同期信号HSYNCに代えて垂直同期信号VSYNCを用いれば、1垂直期間を基準とした1V反転駆動にも適用できる。いずれの場合であって

も、直前の映像信号の極性を判定可能な信号と、プリチャージ制御信号PCTLとに基づいて、直前の映像信号の極性とは逆極性の電位を出力できれば、同様の効果が得られる。

【0091】続いて、図24(a)ないし図24(c)を参照しながら、図22に示すプリチャージ電圧発生回路11へ電圧調節信号として補正信号が入力される場合について説明する。上記補正信号は、パネル上のP型トランジスタとN型トランジスタとの特性差や、実際の画像を表示してのフリッカ測定等から求められたプリチャージ電圧のオフセット分を補償するための信号である。

【0092】図25に示すように、各データ信号線SL1～SLiには、個別に対応して、映像信号(データ)DATをサンプリングするアナログスイッチASW1～ASWiが設けられており、これらのアナログスイッチASW1～ASWiによって、各データ信号線SL1～SLiに上記映像信号(データ)DATが順次サンプリングされて書き込まれてゆく。上記各アナログスイッチASW1～ASWiは、双方向に駆動できるように、図1に示すサンプリングスイッチ2と同様に、CMOSスイッチで構成されているが、各CMOSスイッチを構成するNチャンネルおよびPチャンネルトランジスタは、例えば、トランジスタ特性差などの影響によって、駆動能力が互いに異なる場合がある。

【0093】ここで、もし差があったとしても、駆動能力の低い方がサンプリングに十分な能力となるように、各トランジスタの駆動能力が余裕を持って設定されていれば、充電極性に拘らず、アナログスイッチASW1～ASWiは、映像信号をサンプリングできるが、駆動能力を不必要に増大させると、例えば、占有面積の増大や消費電力の増大などの不具合を招来してしまう。一方、駆動能力を低く設定すると、一方のトランジスタが十分にプリチャージできたとしても、他方のトランジスタが充電する場合、充電不足が発生する虞れがある。

【0094】これに対して、上記補正信号を参照するプリチャージ電圧発生回路11は、両トランジスタの駆動能力が同じ場合、図24(a)に示すように、プリチャージ電圧発生回路11が、正極性最大振幅値と負極性最大振幅値との中央値を出力する。一方、両駆動能力に差があり、充電方向に依存する書き込みムラが発生する場合、図24(b)および図24(c)に示すように、プリチャージ電圧発生回路11は、補正信号に基づいて、プリチャージ電位の値を、中央値(図24(a)の場合)から、書き込みムラを打ち消すようなオフセットを持った値に変更する。これにより、駆動能力の削減と書き込みムラの除去との双方を実現できる。また、プリチャージ電位が一定であれば、画像表示装置を駆動する外部回路の負荷も軽くなり、外部回路の簡略化および低消費電力化も達成できる。

【0095】なお、上記では、上記サンプリングスイッ

チ2の駆動能力が或る程度高い場合や映像信号（データ）の振幅レベルがデータ信号線駆動回路SDの駆動電源電圧に対して充分に小さい場合に好適な構成として、基準を中央値に設定する場合について説明したが、上記プリチャージ電圧を発生する回路の負担をさらに軽減したり、消費電力をさらに低減するためには、プリチャージ電圧を、上記中間値ではなく、使用頻度の高い側の一定値に設定してもよい。

【0096】一方、さらに他の構成例として、図21に示すプリチャージ電圧発生回路11は、電圧調節信号として、水平同期信号H SYNCまたは垂直同期信号V SYNCを入力することによって、図24（d）で示すように、プリチャージ電圧を、次に書き込まれる映像信号の極性に応じて変化させてもよい。この場合は、プリチャージ電位から、書き込まれる映像信号の電位までの差を、より小さくできる。この結果、サンプリングスイッチ2の駆動能力が小さくても、映像信号を十分に書き込むことができ、良質な画像表示能力が得られる。

【0097】なお、上記では、説明の便宜上、それぞれの調整方法を個別に説明したが、電圧調整信号として、補正信号と、水平同期信号H SYNCまたは垂直同期信号V SYNCとプリチャージ制御信号PCTLとを入力して、全ての調整方法を同時に適用するなど、複数の調整方法を適用してもよい。

【0098】図25はデータ信号線駆動回路SDの一構成例を示すブロック図であり、図26はその動作波形図である。データ信号線駆動回路SDには、パネル外部から、低振幅のスタート信号SP/SPBがレベルシフタ回路LVによって該データ信号線駆動回路SDの電源VDDのレベルに昇圧されたスタート信号SPSが入力されるとともに、上記低振幅のクロック信号CKS/CKSBが入力されている。1水平走査周期のスタートを表すスタート信号SPSが第1段目のシフトレジスタSR1に入力されると、以降、クロック信号CKS/CKSBに応答して、順次継続く接続された第2段目以降のシフトレジスタSR2～SRi, SRdへとパルスが転送されてゆく。そのパルスは、個別に設けられた波形整形回路F1～Fi, Fdで波形整形されて、信号線選択信号SO1～SOi, SOdとして出力される。

【0099】一方、各データ信号線SL1～SLiには、個別に対応して、映像信号（データ）DATをサンプリングするアナログスイッチASW1～ASWiが設けられており、これらのアナログスイッチASW1～ASWiが上記信号線選択信号SO1～SOiで駆動されることで、各データ信号線SL1～SLiに上記映像信号（データ）DATが順次サンプリングされて書き込まれてゆく。信号線選択信号SOiは、パネル上を引回されて、上記プリチャージ回路3に入力される。

【0100】図27（a）は、上記のプリチャージ回路3を搭載した画像表示装置の一般的な入力信号のタイミ

ングチャートを示す。この図27（a）において、SPSは1水平走査周期のスタートを表す信号であり、CKSは上記データ信号線駆動回路SDへの低振幅のクロック信号であり、SOi-1, SOiは上述のようにしてデータ信号線駆動回路SDで作成される信号線選択信号である。また、GPS, GPSBは、走査信号線駆動回路GDで作成される走査信号線GLの選択期間、すなわち有効表示エリアを表す信号である。PCTL, PCTLBは、前述のとおりプリチャージ制御信号であり、この図27（a）では、プリチャージ期間は水平帰線期間内に設けられている。本発明でプリチャージ回路3が動作する、すなわち上述のレベルシフタ回路5；5a, 5bが動作するのは、この期間を含み、1水平期間中の有効表示期間より短い所定期間だけである。

【0101】図27（b）は、図8で示した構成のプリチャージ制御回路1のセット信号SOとして、最終の信号線選択信号SOiを、リセット信号S1としてスタート信号SPSをそれぞれ用いた場合のプリチャージ回路3の動作のタイミングチャートを示す。したがって、プリチャージ回路3の動作期間は、水平帰線期間の直前から最初の信号線選択信号SO1が出力されるタイミングまでとすることができる。すなわち、プリチャージ回路3は、略有効表示期間に亘って非動作期間となる。この場合、水平帰線期間に、上記最終の信号線選択信号SOiが出力されるクロック信号CKSの1クロック分の期間を加えた期間のみ、実際にプリチャージ回路3が動作し、電力を消費することになる。例えばNTSCモードの場合、上記有効表示期間が約50μsecに対して、水平帰線期間は13μsec、1クロック期間は数百nsecであるので、常時動作している場合と比較すると、プリチャージ回路3における消費電力を約1/4に抑える（正確には、13/50に抑える）ことが可能となる。

【0102】なお、特開平7-121139号公報には、プリチャージを有効表示期間のみに行うことで、低消費電力化を実現することが示されているけれども、前記有効表示期間は垂直帰線期間に挟まれた期間であり、プリチャージ回路の非動作期間は略垂直帰線期間であり、垂直帰線期間とすると、NTSC方式では、1垂直周期の1.6.7msにに対して、垂直帰線期間は2.85msで、17%程度となる。これに対して、本発明の非動作期間は上記のように約3/4の期間であり、低消費電力化の効果は格別に大きい。しかしながら、本発明に特開平7-121139号の構成が併用されてもよいことは言うまでもない。

【0103】また、特開平7-121139号では、プリチャージ電圧は常時発生したままであり、出力回路を高インピーダンスにすることでその出力を停止しているのに対して、本発明では、電流駆動型レベルシフタを制御して、プリチャージ回路3内の定常電流（図3の定電

流源7による電流)を停止しているので、この点でも低消費電力である。

【0104】図27(c)は、図16で示した構成のプリチャージ制御回路1のセット信号S2としてSOiを用いた場合のプリチャージ回路動作のタイミングチャートを示す。この場合、プリチャージ回路3の動作期間は、動作マージンであるd_{wf}、d_{pr}およびプリチャージ期間であり、上述した場合と比較すると、おおよそ動作マージンの(d_{wf} + d_{pr})分だけ、さらに消費電力を抑えることが可能となる。さらに、制御信号としてはS2のみで済むため、上述のようにレイアウト的にも配線の引き回しが簡単となり、額縁サイズ等に与える影響を最小に抑えることが可能となる。

【0105】さらにまた、図25のデータ信号線駆動回路SDのような最終の信号線選択信号SOiの次に、信号線に対応しない信号線選択信号SOdを出力する構成を用い、該信号線選択信号SOdを上記のセット信号S0、S2として用いると、最終の信号線SLiの駆動を完了すると同時にプリチャージ回路3を動作させることができ、上記信号線選択信号SOiの1クロック分の期間だけ、プリチャージ回路3の動作期間を短くすることができるとともに、最終の信号線SLiの波形整形回路Fiに余分な配線による負荷が加わることではなく、これによる表示むらを無くすことができる。

【0106】本発明は、上記最終の信号線SLiの信号線選択信号SOiや、その次の信号線選択信号SOdに限らず、SOi-1、SOi-2、…等の他の信号をセット信号SO、S2として用いてもよく、またリセット信号S1として、スタート信号SPSに限らず、SO1、SO2、…等の他の信号を用いてもよく、プリチャージ回路3が動作する期間を、プリチャージ期間を含み、1水平期間中の有効表示期間より短い期間とすればよい。

【0107】また、図18で示したような画像表示装置において、データ信号線駆動回路SD、走査信号線駆動回路GD、およびプリチャージ回路3を画素と同一基板上に(モノリシックに)形成することによって、別々に構成して実装するよりも、駆動回路の製造コストや実装コストの低減を図ることができるとともに、信頼性の向上にも効果がある。

【0108】図28は、上記画像表示装置を構成する多結晶シリコン薄膜トランジスタの構造例を示した図である。図28に示す多結晶シリコン薄膜トランジスタは、絶縁性基板(絶縁基板)上の多結晶シリコン薄膜を活性層とする順スタガー(トップゲート)構造のものであるが、本発明はこれに限るものではなく、逆スタガー構造等の他の構造のものであってよい。

【0109】上記のような多結晶シリコン薄膜トランジスタを用いることによって、実用的な駆動能力を有する走査信号線駆動回路GD、データ信号線駆動回路SDお

よびプリチャージ回路3を、画素アレイと同一基板上にほぼ同一の製造工程で構成することができる。また、多結晶シリコン薄膜トランジスタは、単結晶シリコン薄膜トランジスタ(MOSトランジスタ)に較べて、駆動能力が1~2桁小さく、特性のバラツキも大きいため駆動回路としては広動作マージンが求められる。

【0110】そこで、画像表示装置の低電圧インターフェイスの構成回路であるレベルシフタ回路には、電圧駆動型と比べて、トランジスタ特性に対し広動作マージンの確保できる電流駆動型を用いるのが一般的であるが、電流駆動型のレベルシフタ回路には定電流が存在しており、そのため画像表示装置の消費電力の増大を招く。しかし、本発明のプリチャージ回路3を採用することによって、時間選択的にプリチャージ回路3内の電流駆動型レベルシフタ回路5:5a, 5bを動作させることができ、低電圧インターフェイスを備えたプリチャージ回路3における消費電力を抑えることが可能である。

【0111】図29は、本発明に係る画像表示装置を構成する多結晶シリコン薄膜トランジスタの製造工程の例を示す説明図である。

【0112】以下に、摂氏600°C以下で多結晶シリコン薄膜トランジスタを形成するときの製造プロセスについて、図29を参照しながら簡単に説明する。図29(a)~図29(k)は、各工程を示している。

【0113】まず、ガラス基板を準備する(図29(a)参照)。そして、ガラス基板上に非晶質シリコン薄膜を堆積する(図29(b)参照)。エキシマレーザを照射して、多結晶シリコン薄膜を形成する(図29(c)参照)。次に、この多結晶シリコン薄膜を所望の形状にパターニングし(図29(d)参照)、二酸化シリコンからなるゲート絶縁膜を形成する(図29(e)参照)。更に、薄膜トランジスタのゲート電極をアルミニウム等で形成(図29(f)参照)した後、薄膜トランジスタのソース領域・ドレイン領域に不純物(n型領域には硼、P型領域には硼素)を注入する(図29(g)~(h)参照)。その後、二酸化シリコンまたは窒化シリコン等からなる層間絶縁膜を堆積し(図29(i)参照)、コンタクトホールを開口(図29(j)参照)した後、アルミニウム等の金属配線を形成する(図29(k)参照)。この工程において、プロセスの最高温度は、ゲート絶縁膜形成時の600°Cであるので、米国コーニング社の1737ガラス等の高耐熱性ガラスが使用できる。

【0114】尚、液晶表示装置においては、この後に、更に、別の層間絶縁膜を介して、透明電極(透過型液晶表示装置の場合)や反射電極(反射型液晶表示装置の場合)を形成することになる。ここで、図29(a)~図29(k)に示すような製造工程で、多結晶シリコン薄膜トランジスタを、摂氏600度以下で形成することによって、安価で大面積のガラス基板を用いることができ

るようになるので、基板材質の選択の幅が広がると共に、画像表示装置の低価格化と大面積化が実現可能となる。

【0115】また、上記では、電流駆動型のレベルシフタ回路として、図3に示す回路を使用する場合について説明したが、これに限るものではない。例えば、図30に示すレベルシフタ回路51を用いてもよい。該レベルシフタ回路51の基本構成はソースフォロワ型のものであり、MN8のゲートに入力されるプリチャージ制御信号PCTLならびにMP8のゲートおよびMN10のソースに入力されるプリチャージ制御信号PCTLBに同期した、レベルシフタ回路51の駆動電圧VDDと振幅のほぼ等しい出力信号が供給される。

【0116】ここで、本レベルシフタ回路51は、回路の動作制御用のスイッチとして、入力部の1つにあたるMP8のゲートおよびMN10のソースと信号入力端子との間にMN7を備えている。また、非アクティブ状態における該レベルシフタ回路51を安定状態に維持するため、非アクティブ状態においてフローティングとなるMP8のゲートおよびMN10のソースのノードと電源VDDとの間にMP7を、MN8およびMP8のドレインとMN10およびMP9のゲートとを接続するノードとGNDとの間にMN9を電位固定スイッチとして備えている。

【0117】これらのスイッチMN7、MP7のゲートには制御信号が入力され、制御信号がHigh（アクティブ）の時は、電位固定スイッチMP7はオフすると共に、回路の動作制御用のスイッチMN7はオンし、これにより、レベルシフタ回路51が動作可能となる。

【0118】一方、制御信号がLow（非アクティブ）の時は、電位固定スイッチMP7はオンするので、これに伴って、MN9もオンし、さらには、回路の動作制御用のスイッチMN7はオフする。これにより、アクティブ状態では定電流が存在する、電源VDDからMP8、MN8を通ってGNDへ至る経路ならびに電源VDDからMP9、MN10およびMN7を通って外部信号入力端子へと至る経路において、それぞれの経路がMP8、MN7およびMN10によって完全に遮断されるので、非アクティブ状態においては電流は流れない。

【0119】さらには、電位固定スイッチMP7により、非アクティブ状態におけるレベルシフタ回路51の出力はLowに固定される。これは、次の理由による。即ち、制御信号がLowのときは、電位固定スイッチMP7がオンし、これに伴ってMN9がオンする。MN9のオンに伴って、MP9がオンするので、MN11がオンする。MN11のオンに伴って、MP11がオンするので、MN13がオンし、その結果、レベルシフタ回路51の出力はLowに固定される。なお、MP7乃至MP12は何れもP型MOSFETを表し、MN7乃至MN13は何れもN型MOSFETを表す。

【0120】以上のような構成を用いることにより、時間選択的なレベルシフタ動作が可能となるので、プリチャージ回路3における消費電流を確実に低減することができる。ただし、当該レベルシフタ回路51に比べて、図3のレベルシフタ回路5は、トランジスタ特性のバラツキ、ならびにシフトレベルに対する動作マージンを大きく取れるため、通常の用途には、図3の構成を用いる方が好ましい。

【0121】以上、本発明の実施例について幾つかを例示して説明したが、本発明はこれらに限定されるものではなく、用いる信号の種類および極性等を含め、上記実施例の組み合わせ等の他の構成についても同様に当てはまるものである。

【0122】以上のように、本発明に係るプリチャージ回路はまた、信号線に映像信号を入力する前に、一定電圧にプリチャージするためのプリチャージ回路であって、該プリチャージ回路内に、外部から入力された信号を受けて前記プリチャージ回路内のサンプリングスイッチの動作を制御するためのアクティブ／非アクティブ切替可能なプリチャージ制御回路を有している。

【0123】上記構成によれば、所定のタイミングに設けられたプリチャージ期間を含む特定期間にのみ、前記プリチャージ回路をアクティブとしサンプリングスイッチを制御することにより、プリチャージ回路全体の時間的制御を可能となり、プリチャージ回路における電力消費を低減することができる。

【0124】本発明に係るプリチャージ回路はまた、上記のプリチャージ回路において、外部から入力される信号の振幅が、前記プリチャージ回路の駆動電圧よりも小さいことを特徴としている。

【0125】上記構成によれば、外部から入力される制御信号の振幅が、プリチャージ回路の駆動電圧よりも小さいため、プリチャージ制御信号を生成する外部回路の負荷軽減および消費電力の低減を図ることが可能となる。これにより、低電圧インターフェイスが実現できる。

【0126】本発明に係るプリチャージ回路はまた、上記のプリチャージ回路において、上記プリチャージ制御回路が、アクティブ／非アクティブ切替可能なレベルシフタを有し、該レベルシフタは少なくとも制御信号の入力が必要な期間はアクティブとなることを特徴としている。

【0127】上記構成によれば、上記プリチャージ制御回路は、上記アクティブ／非アクティブ切替可能なレベルシフタ回路を有し、該レベルシフタ回路は少なくとも制御信号の入力が必要な期間はアクティブとなるため、プリチャージ回路の駆動電圧よりも小さい振幅の入力信号によってプリチャージ回路内のサンプリングスイッチを制御することが可能となる。また、特定の期間内のみレベルシフタ回路をアクティブとするため、常時アクティブな場合と比較し消費電力を低減することができる。

これにより、プリチャージ回路の時間選択的な動作を可能にする。

【0128】本発明に係るプリチャージ回路はまた、上記プリチャージ回路において、上記プリチャージ制御回路が、入力された信号に応じた状態を保持するラッチ回路ならびに入力された信号を昇圧する上記アクティブ／非アクティブ切替えが可能なレベルシフタ回路より構成されていることを特徴としている。

【0129】上記構成によれば、ラッチ回路の状態を遷移させることにより、前記レベルシフタ回路のアクティブ／非アクティブの切替およびその状態の維持が可能となる。これにより、上記プリチャージ回路の時間選択的な動作が可能となり、消費電力を低減することができる。

【0130】本発明に係るプリチャージ回路は、上記のプリチャージ回路において、上記プリチャージ制御回路内のレベルシフタ回路が定常電流を必要とする電流駆動型であることを特徴としている。

【0131】上記構成によれば、レベルシフタ回路を構成するトランジスタの電気的特性に対して広動作マージンを確保できるため、単結晶シリコン上に構成されたトランジスタと比較し電気的特性の劣る多結晶シリコン上に構成されたトランジスタによって該レベルシフタ回路を構成しても、安定な動作が期待できる。

【0132】本発明に係るプリチャージ回路はまた、上記のプリチャージ回路において、上記プリチャージ制御回路内のラッチ回路がセットリセット型フリップフロップにより構成されていることを特徴としている。

【0133】上記構成によれば、所定のプリチャージ期間のスタートタイミングと同期した前記プリチャージ期間よりも短いパルス幅を持つセット信号によって前記ラッチ回路の状態を非アクティブからアクティブへと遷移させ、前記プリチャージ期間中前記プリチャージ制御回路内の上記電流駆動型レベルシフタ回路をアクティブ状態に維持し、また、前記プリチャージ期間のエンドタイミングと同期したリセット信号によって、前記ラッチ回路の状態をアクティブから非アクティブへと遷移させ、前記プリチャージ制御回路内の前記電流駆動型レベルシフタ回路を非アクティブ状態に維持するため、前記電流駆動型レベルシフタ回路の時間選択的な動作切替が可能となる。

【0134】本発明に係るプリチャージ回路はまた、上記のプリチャージ回路において、プリチャージ制御回路が、前記プリチャージ回路外で発生した信号S0およびS1をセット信号およびリセット信号としてそれぞれ用い、出力信号AO0がレベルシフタ回路のアクティブ／非アクティブ切替え信号として用いられるセットリセット型フリップフロップ4と、アクティブ／非アクティブの切替え信号として前記出力信号AO0と、信号昇圧部の第1の入力に外部から入力された信号PCTLならび

に第2の入力に外部から入力された信号PCTLBを用い、信号ALOを出力とするレベルシフタ回路5によって構成され、前記出力信号ALOがプリチャージ制御回路の出力信号であることを特徴としている。

【0135】上記構成によれば、前記信号S0により、前記ラッチ回路4の状態が非アクティブからアクティブへと遷移し、アクティブ状態を表す前記信号AO0が出力される。次に、前記信号AO0により、前記プリチャージ制御回路内の前記電流駆動型レベルシフタ5がアクティブ状態に維持され、前記電流駆動型レベルシフタ5の第1の前記プリチャージ制御信号PCTLまたは第2の前記プリチャージ制御信号PCTLBを前記電流駆動型レベルシフタ5にて昇圧を行い前記出力信号ALOを生成、出力する。その後、前記信号S1により前記ラッチ回路4の状態がアクティブから非アクティブへと遷移し、非アクティブ状態を表す前記信号AO0が出力され、該信号AO0により、前記電流駆動型レベルシフタ5が非アクティブ状態に維持され、該電流駆動型レベルシフタ5内の電流を節減する。この一連の動作により、前記プリチャージ制御回路の時間選択的な動作が実現でき、前記プリチャージ回路の消費電力の低減が可能となる。また、前記プリチャージ回路を搭載しているシステムにおいて前記プリチャージ回路外で生成された、データ信号線駆動期間外にてアクティブとなる任意の信号OS0とOS1が、イそれぞれの立上がり期間内にプリチャージ期間を含んでおり、かつ、イそれぞれのH期間が重複しない限り、任意のH期間を持つ信号を用いることができるという条件を満足するならば前記信号S0と前記信号S1として用いることができ、前記システムにおける既存の入力端子および入力信号のみによって前記プリチャージ回路の制御が可能となる。

【0136】本発明に係るプリチャージ回路はまた、上記のプリチャージ回路において、上記プリチャージ制御回路内のラッチ回路4aはセットオーバーライトリセットフリップフロップにより構成されていることを特徴としている。

【0137】上記構成によれば、上記プリチャージ制御回路内のラッチ回路4aはセットオーバーライトリセットフリップフロップにより構成されており、プリチャージ期間のスタートタイミングと同期した前記プリチャージ期間よりも短いパルス幅を持つセット信号によって前記ラッチ回路4aの状態を非アクティブからアクティブへと遷移させ、前記プリチャージ期間中前記プリチャージ制御回路内の上記電流駆動型レベルシフタ回路5aをアクティブ状態に維持し、また、前記電流駆動型レベルシフタ回路5aの出力を前記ラッチ回路のリセット信号として用いるセルフリセットによって、前記ラッチ回路4aの状態をアクティブから非アクティブへと遷移させ前記電流駆動型レベルシフタ回路5aを非アクティブ状態で維持する。これにより、前記電流駆動型レベルシフ

タ回路 5 a の時間選択的な動作切替が可能となる。

【0138】本発明に係るプリチャージ回路はまた、上記のプリチャージ回路において、上記プリチャージ制御回路が、前記プリチャージ回路外で発生した信号 S 2 をセット信号として用い、第 2 のセットオーバーライトリセットフリップフロップ 4 b の出力信号 B O 1 をリセット信号として用い、出力信号 A O 1 が第 1 のレベルシフタ回路 5 a のアクティブ／非アクティブ切替え信号として用いられる第 1 のセットオーバーライトリセットフリップフロップ 4 a と、アクティブ／非アクティブの切替え信号として前記信号 A O 1 と、信号昇圧部の第 1 の入力に外部から入力された信号 P C T L ならびに第 2 の入力に外部から入力された信号 P C T L B を用い、信号 A L 1 を出力とする第 1 のレベルシフタ回路 5 a と、前記信号 A L 1 をセット信号として用い、第 2 のレベルシフタ回路 5 b の出力信号 B L 1 の反転信号をリセット信号として用い、第 2 のレベルシフタ回路 5 b のアクティブ／非アクティブ切替え信号として用いられる前記信号 B O 1 を出力する第 2 のセットオーバーライトリセットフリップフロップ 4 b と、アクティブ／非アクティブの切替え信号として前記信号 B O 1 と、信号昇圧部の第 1 の入力に外部から入力された前記信号 P C T L ならびに第 2 の入力に外部から入力された前記信号 P C T L B を用い、信号 B L 1 を出力とする第 2 のレベルシフタ回路 5 b により構成され、前記信号 B L 1 がプリチャージ制御回路の出力信号であることを特徴としている。

【0139】上記構成によれば、前記信号 S 2 により、前記ラッチ回路 4 a の状態が非アクティブからアクティブへと遷移し、アクティブ状態を表す前記信号 A O 1 が出力される。次に、前記信号 A O 1 により、前記電流駆動型レベルシフタ回路 5 a がアクティブ状態に維持され、前記電流駆動型レベルシフタ回路 5 a の第 1 の前記プリチャージ制御信号 P C T L または第 2 の前記プリチャージ制御信号 P C T L B を前記電流駆動型レベルシフタ回路 5 a にて昇圧を行い前記出力信号 A L 1 を生成、出力する。次に、前記出力信号 A L 1 をセット信号として用いる前記ラッチ回路 4 b の状態が非アクティブからアクティブへと遷移し、アクティブ状態を表す前記信号 B O 1 が出力される。そして、前記信号 B O 1 により、前記電流駆動型レベルシフタ回路 5 b がアクティブ状態に維持され、第 1 の前記プリチャージ制御信号 P C T L または第 2 の前記プリチャージ制御信号 P C T L B を前記電流駆動型レベルシフタ回路 5 b にて昇圧を行い前記プリチャージ制御回路 5 b の出力である前記出力信号 B L 1 を生成、出力する。また、前記信号 B O 1 を前記ラッチ回路 4 a のリセット信号として用いることにより、前記ラッチ回路 4 b がセットされ該ラッチ回路 4 b より出力されるアクティブ状態を表す前記信号 B O 1 に同期して、前記ラッチ回路 4 a はリセットされアクティブ状態から非アクティブ状態に遷移し、非アクティブ状態を

表す前記信号 A O 1 が出力される。そして、前記信号 A O 1 によって前記電流駆動型レベルシフタ回路は非アクティブ状態に維持される。また、前記信号 B L 1 の反転信号を前記ラッチ回路 4 b のリセット信号に用いることにより、前記信号 B L 1 がアクティブのときには前記ラッチ回路のリセット信号は非アクティブ、前記信号 B L 1 が非アクティブのときには前記ラッチ回路 4 b のリセット信号はアクティブとなるため、前記信号 B L 1 のアクティブから非アクティブの切り替わりに同期して前記ラッチ回路 4 b はリセットされ、アクティブ状態から非アクティブ状態へと遷移し非アクティブ状態を表す前記信号 B O 1 を出力する。この前記信号 B O 1 を受け前記電流駆動型レベルシフタ回路 5 b は非アクティブ状態へ遷移、その後維持され、前記プリチャージ制御回路の出力である前記信号 B L 1 も非アクティブとなる。したがって、前記プリチャージ制御回路の動作期間は、前記信号 S 2 が入力されてから前記プリチャージ制御信号 P C T L または前記プリチャージ制御信号 P C T L B が昇圧され生成された前記信号 B L 1 がアクティブから非アクティブに遷移するまでの間のみであり、これにより、前記プリチャージ回路の消費電力の低減が可能となる。また、前記プリチャージ回路を搭載しているシステムにおいて前記プリチャージ回路外で生成された、データ信号線駆動期間外にてアクティブとなる任意の信号 S 2 が、イプリチャージ期間のスタートタイミングに同期している、イ上記プリチャージ期間のエンドタイミング以前に非アクティブとなるという条件を満足するならば前記信号 S 2 として用いることができ、前記システムにおける既存の入力端子および入力信号のみによって前記プリチャージ回路の制御が可能となる。

【0140】本発明に係るアクティブマトリクス型の画像表示装置は、列方向に複数配列されたデータ信号線と、行方向に複数配列された走査信号線と、データ信号線と走査信号線とに囲まれマトリクス状に配列された複数の画素と、データ信号線に映像データを供給するデータ信号線駆動回路と、走査信号線に走査信号を供給する走査信号線駆動回路と、前記データ信号線駆動回路が前記データ信号線を駆動する前に前記データ信号線に所定の電圧を印加するプリチャージ回路を備え、上記プリチャージ回路が上記の何れかのプリチャージ回路であることを特徴としている。

【0141】上記構成によれば、プリチャージ回路を時間選択的に動作させることにより、画像表示装置における消費電力低減が可能となる。

【0142】本発明に係る画像表示装置はまた、上記の画像表示装置において、上記プリチャージ回路が、上記画素と同一基板上に形成されていることを特徴としている。

【0143】上記構成によれば、表示を行うための画素、画素を駆動するためのデータ信号線駆動回路ならび

に走査信号線駆動回路、および上記プリチャージ回路を同一基板上に同一工程で製造することができるので、製造コストや実装コストの低減と、実装良品率のアップが期待できる。

【0144】本発明に係る画像表示装置はまた、上記の画像表示装置において、上記プリチャージ回路と上記画素とを構成する能動素子が、多結晶シリコン薄膜トランジスタであることを特徴としている。

【0145】上記構成によれば、多結晶シリコン薄膜を用いてトランジスタを形成すると、従来のアクティブマトリクス液晶表示装置に用いられていた非晶質シリコン薄膜トランジスタに較べて、極めて駆動力の高い特性が得られるので、上記効果に加えて、上記画素、上記信号線駆動回路および上記プリチャージ回路を、容易に同一基板上に形成することができるというメリットがある。また、多結晶シリコン薄膜トランジスタは、単結晶シリコントランジスタに較べて、電気的特性がばらつくため、レベルシフタ回路の型としてはトランジスタ特性に対し広マージンを確保できる電流駆動型を用いることが一般的である。その際、電流駆動のために消費電力が増大する恐れがあるが、本構成によれば、前記電流駆動型レベルシフタ回路に必要な電流を時間選択的に制限するため、消費電力を抑えたまま良好な回路動作が可能となる。

【0146】本発明に係る画像表示装置はまた、上記の画像表示装置において、上記能動素子が、ガラス基板上に、600°C以下のプロセスで形成されることを特徴としている。

【0147】上記構成によれば、600°C以下のプロセス温度で、多結晶シリコン薄膜トランジスタを形成する場合には、歪み点温度が低いが、安価でかつ大型化の容易なガラスを、基板として用いることができるので、上記効果に加えて、大型の画像表示装置を低成本で製造することが可能となるというメリットがある。

【0148】以上より、本発明のプリチャージ回路においては、その回路内にプリチャージ回路動作を制御するプリチャージ制御回路を搭載しており、電流駆動型レベルシフタを用いた低電圧インターフェースを備えたプリチャージ回路においてその動作を時間的に制限することにより、プリチャージ回路における電力消費を抑制することが可能となる。

【0149】また、上記プリチャージ回路を採用した画像表示装置においては、低消費電力の低電圧インターフェイスを実現でき、その結果、入力されるロジック信号の振幅を小さくすることができるので、画像の表示品位の低下を招くことなしに、外部コントローラーICなどの負担も軽くすることができる。

【0150】特に、多結晶シリコン薄膜トランジスタを用いてプリチャージ回路を画素と同一基板上に形成する場合には、単結晶シリコントランジスタよりも劣るその

特性から、低電圧インターフェースを実現するためには、トランジスタ特性に対し広動作マージンを確保できる電流駆動型レベルシフタ回路を用いる必要があり、そのため低消費電力の観点から本発明のプリチャージ回路を採用するメリットは極めて大きくなる。

【0151】

【発明の効果】本発明に係るプリチャージ回路は、以上のように、信号線の駆動期間外のプリチャージ期間を含み、1水平期間中の有効表示期間より短い期間動作して、予め定める電圧を出力するように制御するプリチャージ制御回路を備えたことを特徴としている。

【0152】上記発明によれば、プリチャージ回路は、信号線の駆動期間外のプリチャージ期間を含み、1水平期間中の有効表示期間より短い期間という特定の動作期間のみ動作し、該動作期間だけプリチャージの電圧を出力する。それゆえ、この動作期間外では、プリチャージ回路において定常電流が流れることはなくなり、その分、プリチャージ回路における消費電力の増大を確実に抑えることができるという効果を奏する。

【0153】上記プリチャージ制御回路は、プリチャージ回路の駆動電圧よりも小さい振幅を有し、該振幅が上記プリチャージ期間維持される低振幅外部入力信号を外部から受け、この低振幅外部入力信号に基づいてプリチャージの制御を行うことが好ましい。

【0154】この場合、外部回路は、プリチャージ回路の駆動電圧よりも小さい振幅の外部入力信号をプリチャージ制御回路に供給すればよいので、外部回路の負荷軽減および消費電力低減を図ることが可能となる。これにより、低電圧インターフェイス化が確実に行えるという効果を併せて奏する。

【0155】本発明に係るプリチャージ回路は、以上のように、信号電圧の印加期間外に設定されるプリチャージ期間を示すプリチャージ制御信号を監視して、当該プリチャージ期間中、上記信号線へ上記プリチャージ電圧を出力するように制御するプリチャージ制御回路を備え、上記プリチャージ制御回路は、上記プリチャージ制御信号として、上記プリチャージ回路の駆動信号レベルよりも低いレベルの低振幅外部入力信号を、外部から受け取り、当該低振幅外部入力信号に基づいて、プリチャージ電圧の出力を制御すると共に、当該プリチャージ制御回路は、上記プリチャージ制御信号の印加タイミングまたは上記信号電圧の印加タイミングに同期し、上記駆動信号レベルと略同一レベルの入力信号に基づいて、上記各プリチャージ期間の合間毎に、上記低振幅外部入力信号の監視を休止することを特徴としている。

【0156】上記発明によれば、プリチャージ制御信号の印加タイミングまたは信号電圧の印加タイミングに同期した入力信号に基づいて、各プリチャージ期間の合間を判定し、例えば、レベルシフト回路など、低振幅外部入力信号を監視する入力回路を各プリチャージ期間の合

間毎に停止させ、次のプリチャージ期間のスタートタイミングと同時またはそれ以前の時点で、当該入力回路の動作を再開させて、上記プリチャージ回路と同様に、プリチャージ制御回路の入力回路が常時動作する場合に比べて、プリチャージ回路の消費電力を削減できる。

【0157】上記プリチャージ制御回路は、上記低振幅外部入力信号の入力が必要な期間にアクティブとなって上記低振幅外部入力信号をレベルシフトするレベルシフタ回路を有していることが好ましい。

【0158】この場合、レベルシフタ回路は、低振幅外部入力信号の入力が必要な期間と、プリチャージ期間とにおいてアクティブとなるので、プリチャージ回路の駆動電圧よりも小さい振幅の外部入力信号に基づいて、上記プリチャージ期間だけプリチャージの制御が確実に行えるという効果を併せて奏する。

【0159】上記レベルシフタ回路は、電流駆動型のレベルシフタ回路であることが好ましい。レベルシフタ回路は、電圧駆動型と電流駆動型に大別できる。電圧駆動型の場合、定電流を必要としないため低消費電力化が可能である一方、その動作は回路を構成するスイッチング素子の閾値に強く影響され、該スイッチング素子の特性に対する動作マージンが狭い。これに対して、電流駆動型の場合、定常電流を必要とするため消費電力が増加するというデメリットが存在するものの、回路を構成するスイッチング素子の特性に対する動作マージンを大きくとれるというメリットが存在する。例えば、スイッチング素子を多結晶シリコン薄膜トランジスタで構成した場合、多結晶という特性上、回路内の全てのトランジスタにおける閾値や移動度等を均一にすることは難しいが、電流駆動型のレベルシフタ回路を使用すれば、動作マージンが大きくとれるので、上記問題点を解決できるという効果を併せて奏する。

【0160】上記プリチャージ制御回路は、プリチャージ回路の動作期間にアクティブになる信号を保持するラッチ回路を更に備え、該ラッチ回路の出力に基づいて上記レベルシフタが制御されることが好ましい。

【0161】この場合、ラッチ回路に入力する信号は、別途専用の回路を設けて生成するまでもなく、プリチャージ期間に同期した信号を用いることが可能となり、その分、構成が簡素になるという効果を併せて奏する。

【0162】上記ラッチ回路は、セットリセット型フリップフロップであり、上記プリチャージ回路の動作期間のスタートタイミングと同期し、かつ該プリチャージ回路の動作期間と同等、もしくは短いパルス幅を有する信号をセット信号とし、上記プリチャージ期間中上記レベルシフタ回路をアクティブ状態に維持し、上記プリチャージ回路の動作期間のエンドタイミングと同期し、かつ上記セット信号とオーバーラップしない信号をリセット信号とすることが好ましい。

【0163】この場合、セット信号を受けると、セットリセット型フリップフロップの出力信号が非アクティブからアクティブへと状態遷移する。また、リセット信号を受けると、セットリセット型フリップフロップの出力信号がアクティブから非アクティブへと状態遷移し、維持される。これにより、上記プリチャージの制御が可能となるという効果を併せて奏する。

【0164】上記ラッチ回路は、セットオーバーライトリセット型フリップフロップであり、上記プリチャージ回路の動作期間のスタートタイミングと同期し、かつ該プリチャージ回路の動作期間と同等、もしくは短いパルス幅で、上記レベルシフタ回路においてレベルシフトされる低振幅外部入力信号のアクティブ期間とオーバーラップする信号をセット信号とし、上記プリチャージ回路の動作期間中上記レベルシフタ回路をアクティブ状態に維持し、該レベルシフタ回路の出力信号の反転信号をリセット信号とすることが好ましい。

【0165】この場合、セット信号を受けると、セットオーバーライトリセット型フリップフロップの出力信号が非アクティブからアクティブへと状態遷移する。また、上記レベルシフタ回路の出力信号をリセット信号として用いているので、セルフリセットが行われ、セットオーバーライトリセット型フリップフロップの出力信号がアクティブから非アクティブへと状態遷移し、維持される。これにより、上記プリチャージの制御が可能となるという効果を併せて奏する。

【0166】上記ラッチ回路は第1および第2のセットオーバーライトリセット型フリップフロップから成り、上記電流駆動型のレベルシフタ回路は上記第1および第2のセットオーバーライトリセット型フリップフロップによってそれぞれ制御される第1および第2のレベルシフタ回路から成り、第1のセットオーバーライトリセット型フリップフロップは、プリチャージ回路の動作期間のスタートタイミングと同期してアクティブとなり、第2のレベルシフタ回路の出力信号がアクティブとなる以前、もしくはアクティブ期間中に非アクティブとなる信号をセット信号とし、第2のセットオーバーライトリセット型フリップフロップの出力信号をリセット信号とし、第2のセットオーバーライトリセット型フリップフロップは、上記第1のレベルシフタ回路の出力信号をセット信号とし、上記第2のレベルシフタ回路の出力信号の反転信号をリセット信号とすることが好ましい。

【0167】この場合、外部から入力するセット信号は、第1のセットオーバーライトリセット型フリップフロップに対するものだけでよくなるので、第1のセットオーバーライトリセット型フリップフロップのリセット信号、ならびに第2のセットオーバーライトリセット型フリップフロップのセット信号およびリセット信号は、プリチャージ制御回路内で供給可能である。したがつて、その分、構成が簡素になるという効果を併せて奏す

る。

【0168】上記信号線へ映像信号を印加する駆動回路は、当該信号線を両方向に駆動可能であり、上記プリチャージ回路には、上記駆動回路が上記信号線を一方の方向へ駆動する際の電流駆動能力と、他方へ駆動する際の電流駆動能力との相違に応じた補正信号に基づいて、上記プリチャージの電圧を、予め定められた基準値から駆動能力が少ない極性方向へオフセットさせるプリチャージ電圧生成回路が設けられていることが好ましい。

【0169】この場合、駆動能力の削減と書き込みムラの除去との双方を実現できる。また、プリチャージ電位が一定であれば、画像表示装置を駆動する外部回路の負荷も軽くなり、外部回路の簡略化および低消費電力化も達成できるという効果を併せて奏する。

【0170】上記映像信号には、正極性で映像信号が印加される期間と、負極性で映像信号が印加される期間とが設けられており、上記プリチャージ回路には、プリチャージ電圧出力線と上記信号線との間に設けられ、上記プリチャージ期間中に導通するスイッチと、上記プリチャージ期間の直前に印加された映像信号が正極性か負極性かに基づいて、上記プリチャージ期間のスタートタイミングよりも前の時点に、上記映像信号の極性とは逆極性の電圧を上記プリチャージ電圧出力線へ印加すると共に、上記プリチャージ期間のスタートタイミングと同時に、上記プリチャージ期間中に、上記プリチャージ電圧出力線へ、上記プリチャージ電圧を印加するプリチャージ電圧生成回路とが設けられていることが好ましい。

【0171】この場合、プリチャージ期間のスタートタイミングよりも前の時点で映像信号の極性とは逆極性の電圧を印加しておくことで、信号線がプリチャージ期間に引き込まれた結果の電位は、目標とするプリチャージ電圧に近くなる。また、プリチャージ期間が終了するまでに、目標とするプリチャージ電圧に変更することで、電流駆動能力が低い場合であっても、確実にプリチャージ電圧に充電できるという効果を併せて奏する。

【0172】上記映像信号には、正極性で映像信号が印加される期間と、負極性で映像信号が印加される期間とが設けられており、上記プリチャージ回路には、上記プリチャージ期間の次に印加される映像信号が正極性か負極性かに基づいて、上記プリチャージ電圧を、次の映像信号の極性側にオフセットさせるプリチャージ電圧生成回路が設けられることが好ましい。

【0173】この場合、プリチャージ電位から書き込まれる映像信号の電位までの差を、より小さくできる。この結果、電流駆動能力が小さくても、映像信号を十分に書き込むことができ、良質な画像表示能力が得られるという効果を併せて奏する。

【0174】画像表示装置は、上記何れかのプリチャージ回路を備えることが好ましい。この場合、上記プリチャージ回路を時間選択的に動作させることによって、画

像表示装置における消費電力の低減が可能となるという効果を奏する。

【0175】上記プリチャージ回路が、上記信号線と走査線とに囲まれてマトリックス状に配列された画素、ならびに該画素を駆動する上記信号線駆動回路および走査線駆動回路と同一基板上に設けられていることが好ましい。この場合、表示を行うための画素、該画素を駆動するための信号線駆動回路および走査線駆動回路と、上記プリチャージ回路とが同一基板上に同一工程で製造することが可能となり、製造コストや実装コストの低減と、実装良品率の向上が図れるという効果を奏する。

【0176】上記プリチャージ回路と上記画素とは、それぞれ多結晶シリコン薄膜トランジスタで形成されていることが好ましい。

【0177】この場合、プリチャージ回路と画素とが非晶質シリコン薄膜トランジスタで形成される場合と比較すると、極めて駆動力の高い特性が得られる。したがって、上記画素、上記信号線駆動回路および上記プリチャージ回路を容易に同一基板上に形成できる。加えて、多結晶シリコン薄膜トランジスタは、単結晶シリコン薄膜トランジスタと比較して、電気的特性が均一ではないので、レベルシフタ回路の型としては、トランジスタ特性に対して広いマージンを確保できる電流駆動型を用いることが一般的であるが、その際、電流駆動のために消費電力が増大するおそれがある。しかし、上記発明によれば、電流駆動型レベルシフタ回路に必要な電流を上述のように時間選択的に制限できるので、消費電力を抑えた状態で良好な回路動作を実現できるという効果を併せて奏する。

【0178】上記多結晶シリコン薄膜トランジスタが、ガラス基板上に、600°C以下のプロセス温度で形成されていることが好ましい。この場合、歪み点温度は低いが、安価でかつ大型化が容易なガラスを基板として用いることができるので、基板材質の選択の幅が広がると共に、大型の画像表示装置を低コストで実現できるという効果を併せて奏する。

【0179】本発明に係るプリチャージ回路は、以上のように、信号線の駆動期間外のプリチャージ期間のみ動作して上記一定レベルの電位を出力するように制御するプリチャージ制御回路を備えたことを特徴としている。

【0180】上記発明によれば、プリチャージ期間のみ動作するので、上記プリチャージ回路と同様に、常時動作するプリチャージ回路に比べて、消費電力を削減できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明に係るプリチャージ回路の構成例を示すブロック図である。

【図2】図1に示すプリチャージ回路を構成するプリチャージ制御回路の構成例を示すブロック図である。

【図3】図2に示すプリチャージ制御回路を構成するレ

ベルシフタ回路の構成例を示す図である。

【図 4】図 2 に示すプリチャージ制御回路を構成するラッチ回路の構成例を示す図である。

【図 5】図 4 に示すラッチ回路の状態遷移を示す図である。

【図 6】図 4 に示すラッチ回路の動作タイミング例を示す図である。

【図 7】図 4 に示すラッチ回路の他の動作タイミング例を示す図である。

【図 8】図 4 に示すラッチ回路を用いた場合の図 2 に示すプリチャージ制御回路の構成例を示すブロック図である。

【図 9】図 8 に示すプリチャージ制御回路の動作タイミング例を示す図である。

【図 10】図 2 に示すプリチャージ制御回路を構成するラッチ回路の他の構成例を示す図である。

【図 11】図 10 に示すラッチ回路の状態遷移を示す図である。

【図 12】図 10 に示すラッチ回路の動作タイミング例を示す図である。

【図 13】図 10 に示すラッチ回路の他の動作タイミング例を示す図である。

【図 14】図 10 に示すラッチ回路を用いた場合の図 2 に示すプリチャージ制御回路の構成例を示すブロック図である。

【図 15】図 14 に示すプリチャージ制御回路の動作タイミング例を示す図である。

【図 16】図 10 に示すラッチ回路を用いた場合の図 2 に示すプリチャージ制御回路の他の構成例を示すブロック図である。

【図 17】図 16 に示すプリチャージ制御回路の動作タイミング例を示す図である。

【図 18】本発明に係る画像表示装置の構成例を示すブロック図である。

【図 19】図 18 に示す画像表示装置における画素の内部構造の例を示す図である。

【図 20】プリチャージ電圧を発生する回路の例を示す図である。

【図 21】プリチャージ電圧を発生する他の回路の例を示す図である。

【図 22】図 21 の構成で、水平同期信号およびプリチャージ制御信号を用いてプリチャージ電圧を作成した場合のプリチャージ電圧の波形図である。

【図 23】図 21 の構成で、水平同期信号、プリチャージ制御信号および補正信号を用いてプリチャージ電圧を作成した場合のプリチャージ電圧の波形図である。

【図 24】図 24 (a) ~ 図 24 (c) は、図 21 の構成で、補正信号だけを用いてプリチャージ電圧を作成した場合のプリチャージ電圧の波形図であり、図 24 (d) は、さらに水平同期信号または垂直同期信号を用いてプリチャージ電圧を作成した場合のプリチャージ電圧の波形図である。

【図 25】データ信号線駆動回路の一構成例を示すブロック図である。

【図 26】図 25 で示すデータ信号線駆動回路の動作波形図である。

【図 27】図 27 (a) は、本発明のプリチャージ回路を搭載した画像表示装置の入力信号タイミングチャート例を示す図であり、図 27 (b) は、図 8 に示すプリチャージ制御回路を搭載した場合のその内部ノードの動作タイミング例を示す図であり、図 27 (c) は、図 16 に示すプリチャージ制御回路を搭載した場合のその内部ノードの動作タイミング例を示す図である。

【図 28】本発明に係る画像表示装置を構成する多結晶シリコン薄膜トランジスタの断面構造の例を示す図である。

【図 29】図 29 (a) 乃至図 29 (k) は、図 28 に示す多結晶シリコン薄膜トランジスタの製造工程の例を示す図である。

【図 30】他の電流駆動型のレベルシフタ回路の構成例を示す図である。

【図 31】従来の画像表示装置の構成例を示すブロック図である。

【図 32】一般的な電圧駆動型レベルシフタ回路の構成例を示す図である。

【図 33】図 32 に示す電圧駆動型レベルシフタ回路の動作タイミングおよび消費電流の一例を示す図である。

【図 34】一般的な電流駆動型レベルシフタ回路の構成例を示す図である。

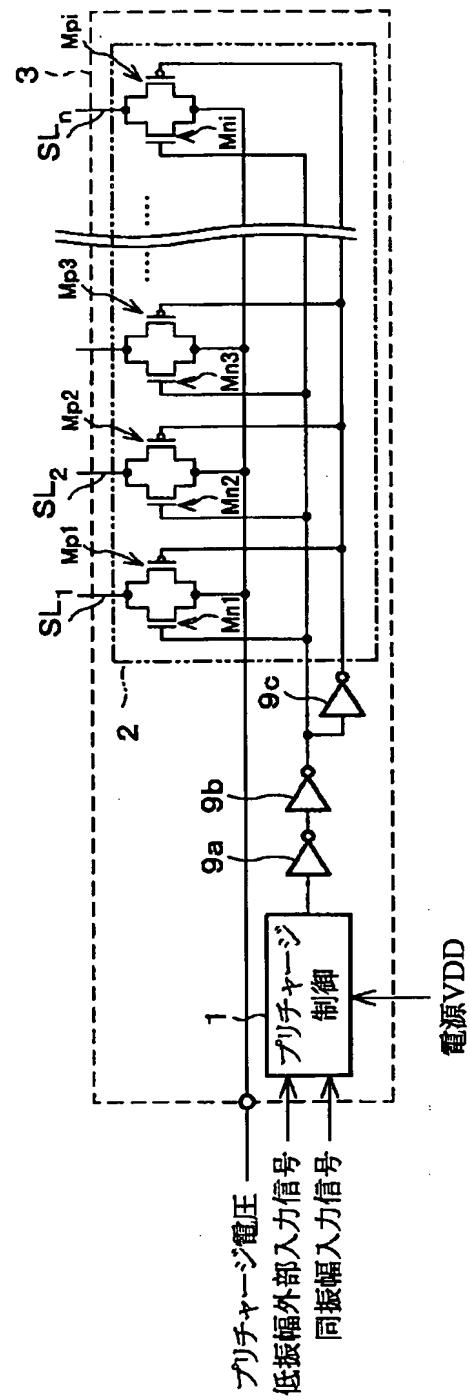
【図 35】図 34 に示す電流駆動型レベルシフタ回路の動作タイミングおよび消費電流の一例を示す図である。

【図 36】従来のプリチャージ回路の構成例を示すブロック図である。

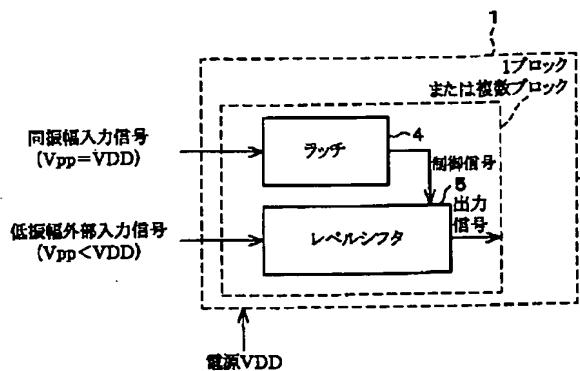
【符号の説明】

- 1 プリチャージ制御回路
- 2 サンプリングスイッチ
- 3 プリチャージ回路
- 4 ; 4 a, 4 b ラッチ回路
- 5 ; 5 a, 5 b レベルシフタ回路
- 6 差動増幅回路部
- 7 定電流源

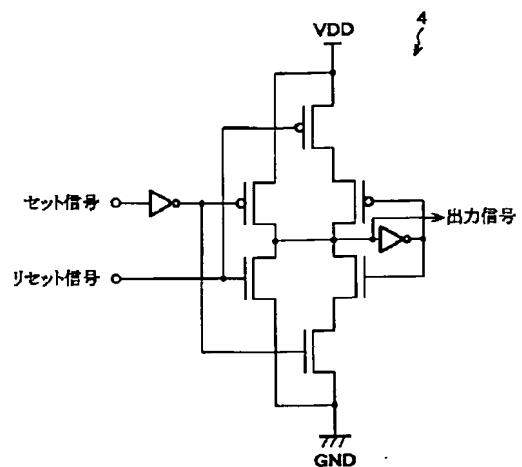
【図 1】



【図 2】

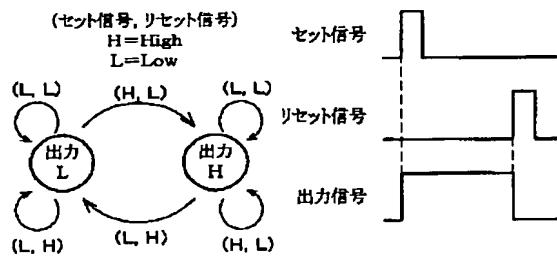


【図 4】

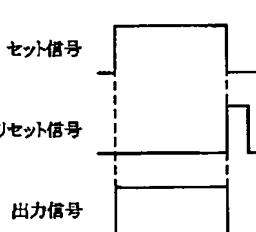


【図 5】

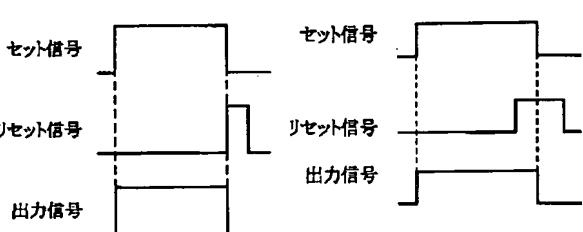
【図 6】



【図 7】

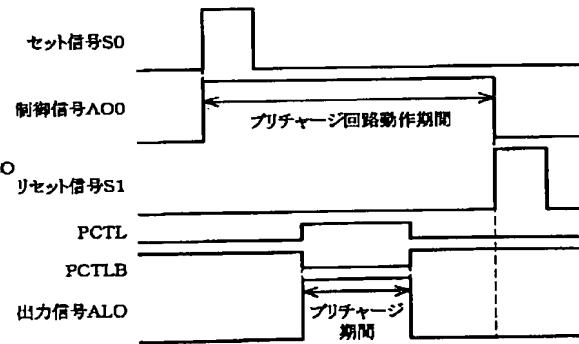
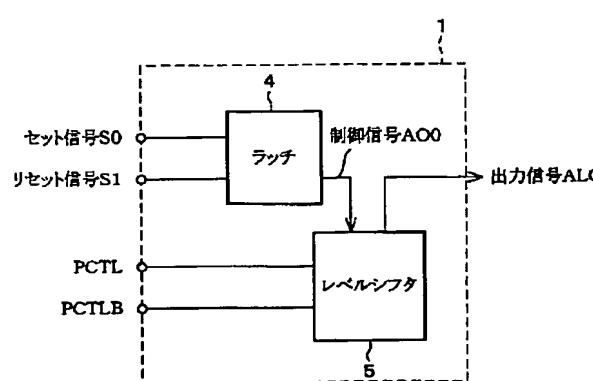


【図 13】



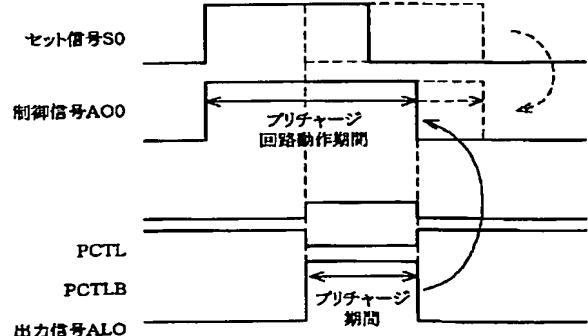
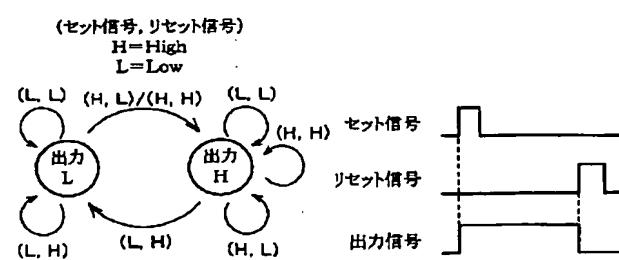
【図 8】

【図 9】

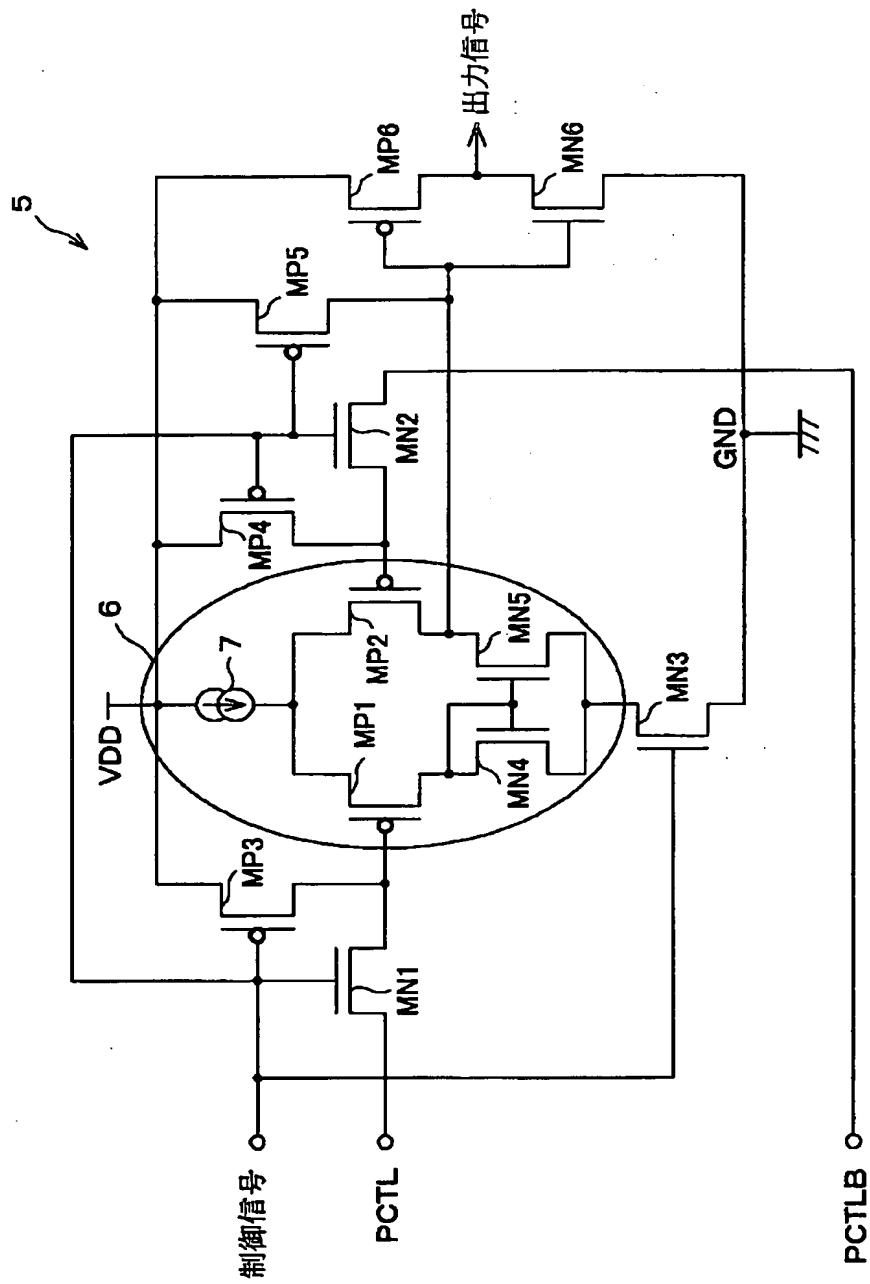


【図 11】

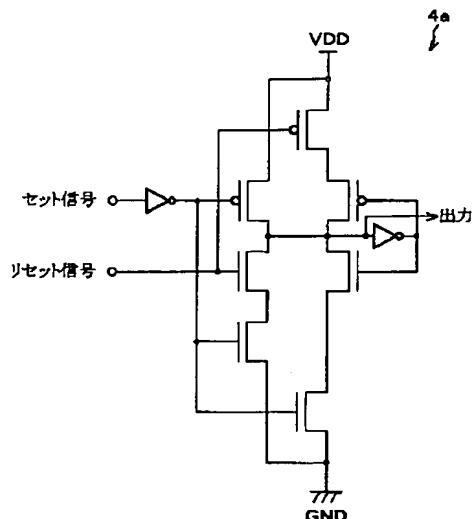
【図 12】



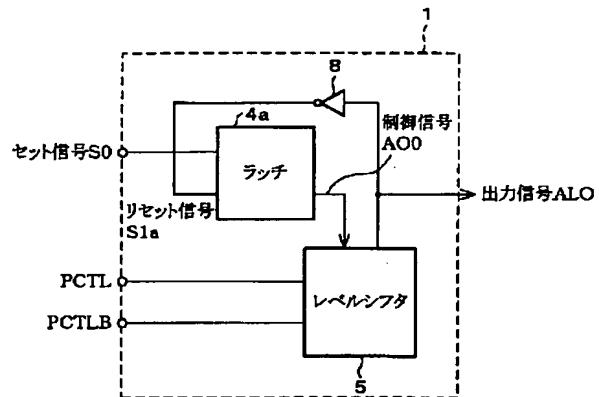
【図3】



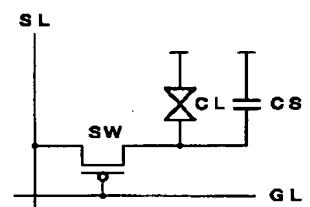
【図 10】



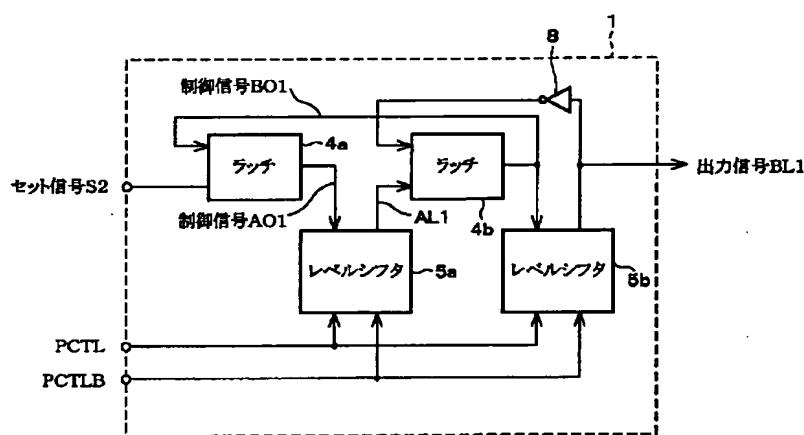
【図 14】



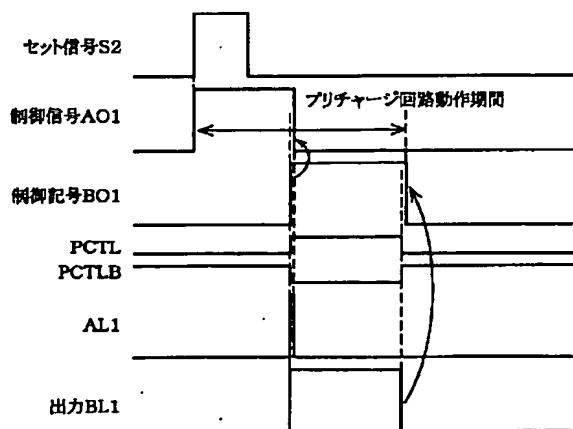
【図 19】



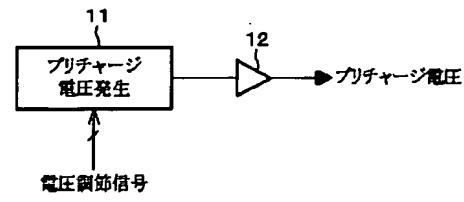
【図 16】



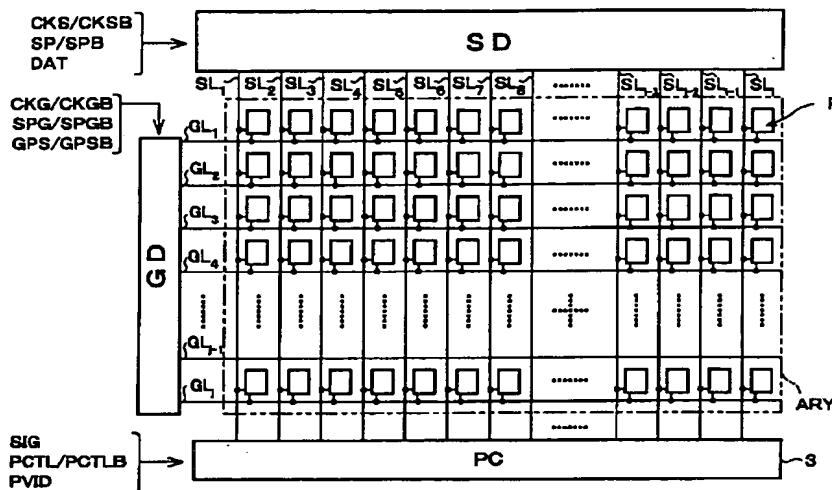
【図 17】



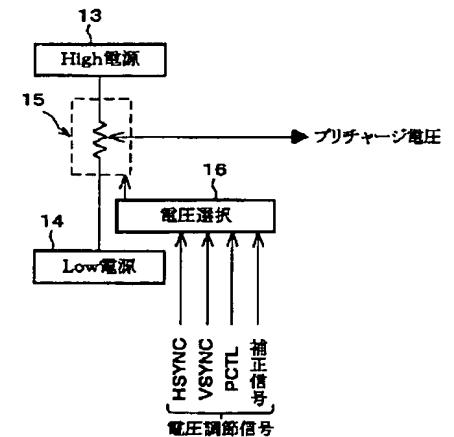
【図 20】



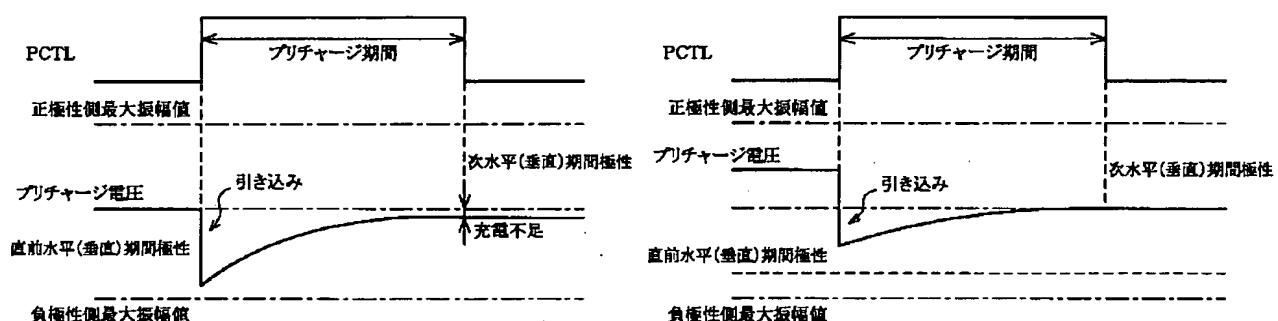
【図 18】



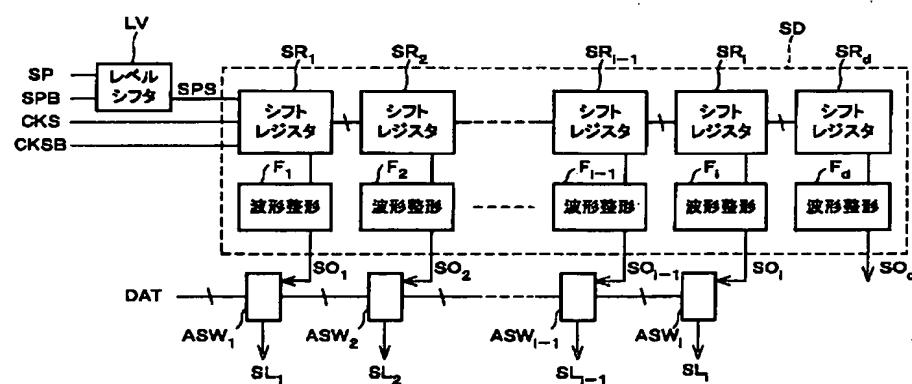
【図 21】



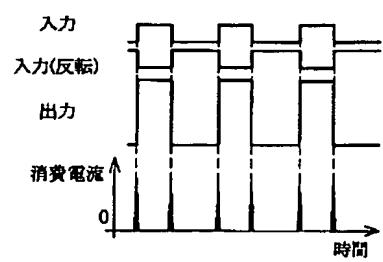
【図 22】



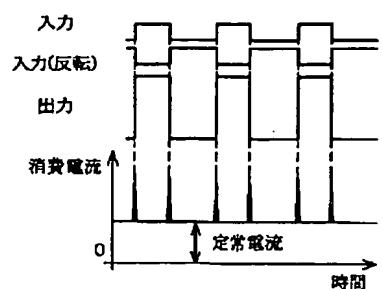
【図 25】



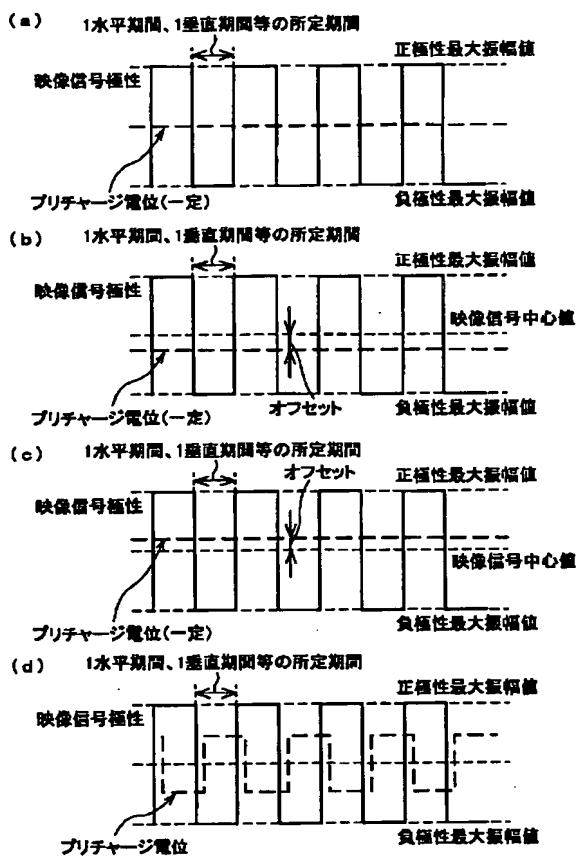
【図 33】



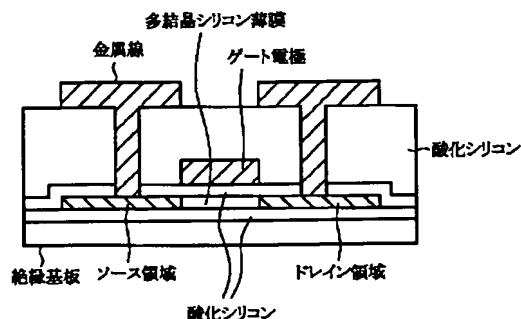
【図 35】



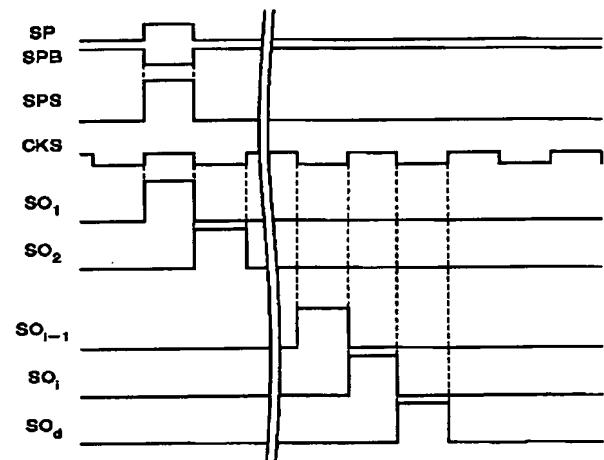
【図24】



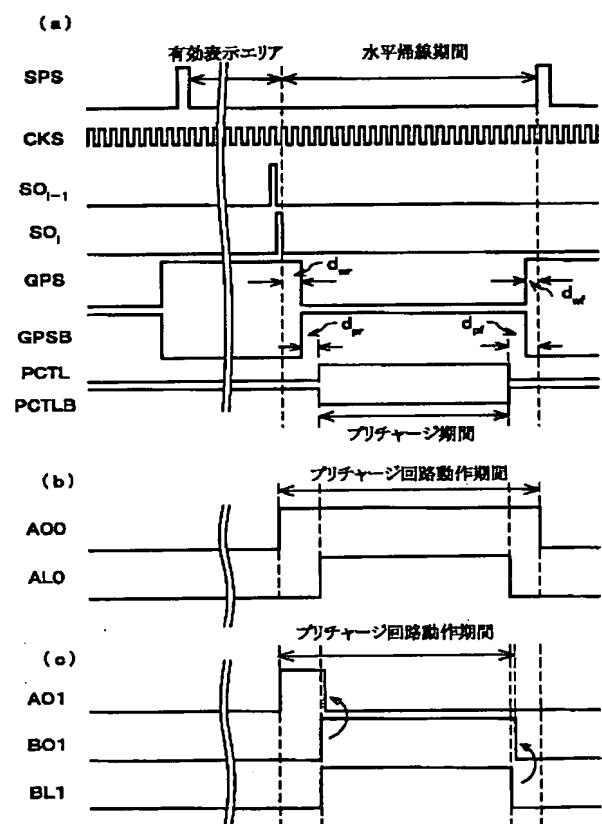
【図25】



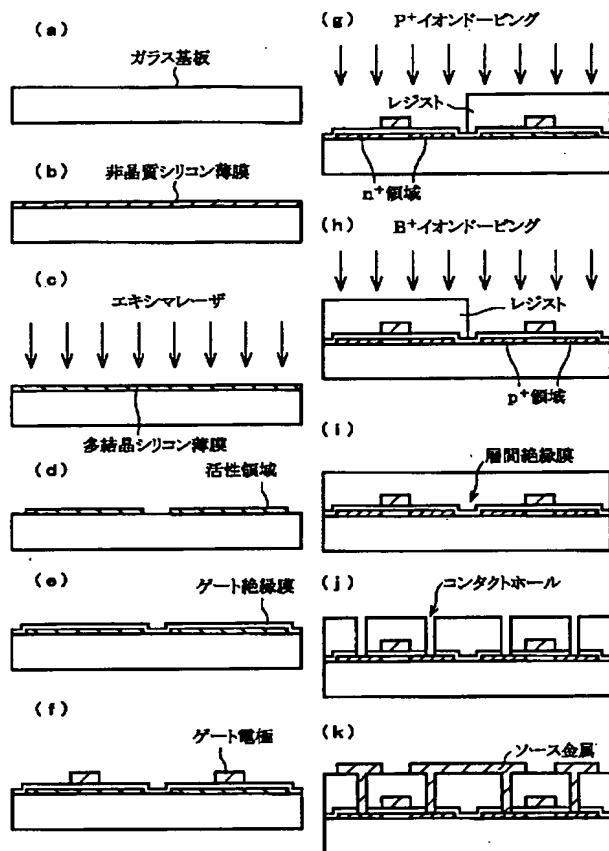
【図26】



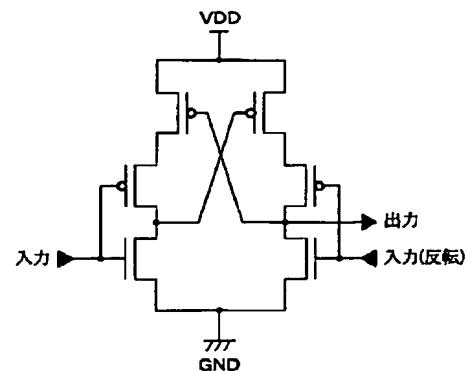
【図27】



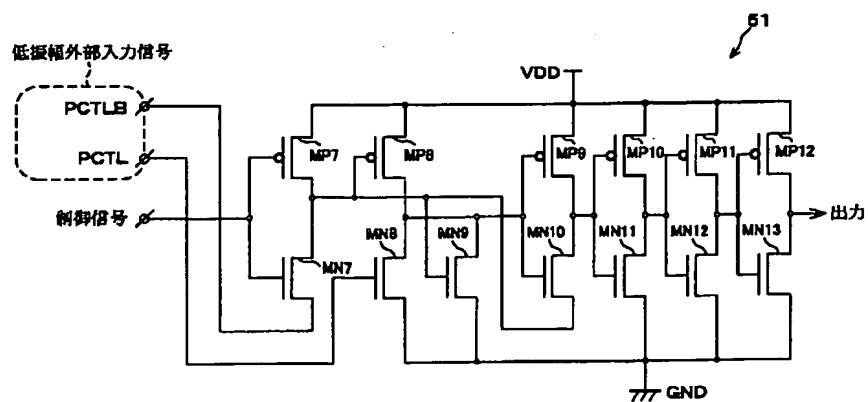
【図 29】



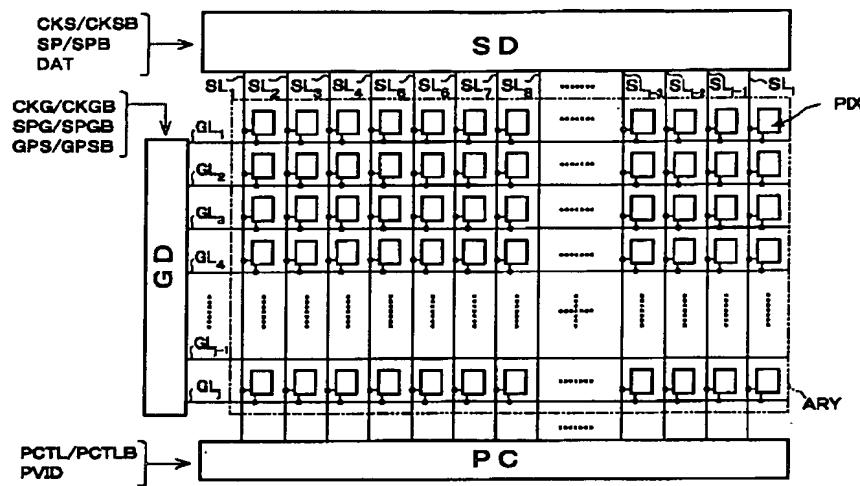
【図 32】



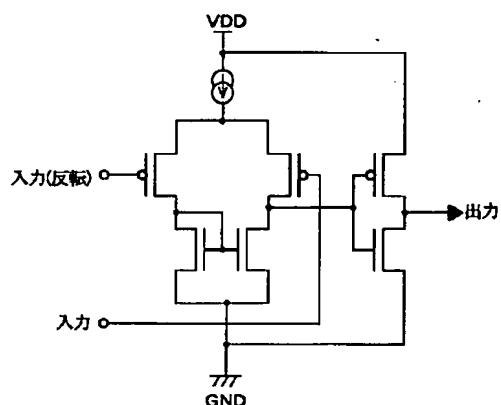
【図 30】



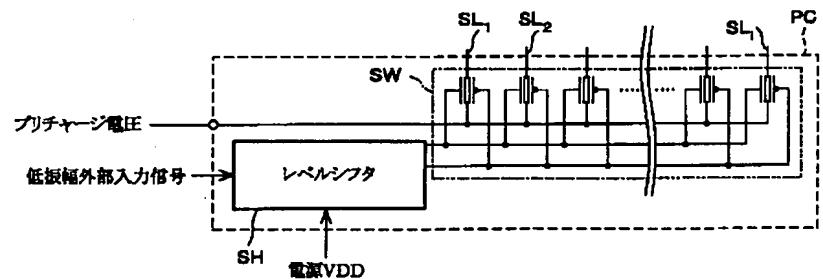
【図31】



【図34】



【図36】



フロントページの続き

(51) Int. Cl. ⁷ 識別記号

F I

テーマコード (参考)

G 09 G 3/20 6 2 3
6 2 4

G 09 G 3/20

6 2 3 R

6 2 4 E

H 01 L 29/786
(72)発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72)発明者 海瀬 泰佳

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

H 01 L 29/78
(72)発明者 マイケル ジェームス ブラウンロー

イギリス国 オーエックス4 4ワイピー
オックスフォード、サンドフォード オ

ン テムズ、チャーチ ロード 124

グレアム アンドリュー カーンズ
イギリス国 オーエックス2 8エヌエイ
チ オックスフォード、カッテスロウ、ボ
ーン クローズ22